Haut Conseil de l'Évaluation de la Recherche et de l'Enseignement Supérieur

DOCUMENT D'AUTOÉVALUATION

Équipe CIAN

Campagne d'évaluation 2023-2024 — Vague D

Table des matières

1 INFORMATIONS GÉNÉRALES SUR L'ÉQUIPE CIAN **3**
1.1 Les thématiques scientifiques et leurs enjeux . . . 3
Thématiques scientifiques . . . 3
Avancées scientifiques majeures dans la période et positionnement scientifique par rapport au contexte international . . . 4

2 INTRODUCTION DU PORTFOLIO **7**

3 AUTOÉVALUATION DU BILAN **8**
3.1 Autoévaluation de l'équipe . . . 8
Domaine 2. Attractivité . . . 8
Domaine 3. Production scientifique . . . 12
Domaine 4. Inscription des activités de recherche dans la société . . . 16

4 RÉFÉRENCES BIBLIOGRAPHIQUES EXTERNES **17**

5 RÉFÉRENCES BIBLIOGRAPHIQUES SIGNIFICATIVES DE CIAN **18**

A ANNEXE — MEMBRES PERMANENTS AU 31/12/2022 **20**

1 INFORMATIONS GÉNÉRALES SUR L'ÉQUIPE CIAN

Nom de l'équipe : Circuits Intégrés Numériques et Analogiques (CIAN)

Responsable de l'équipe : Haralampos-G. Stratigopoulos et Dimitri Galayko

	2017	2018	2019	2020	2021	2022
PR	3	3	3	3	3	3
MCF HDR	3	3	3	3	3	3
MCF	1	1	1	1	1	1
DR	0	0	0	0	1	1
CR HDR	2	2	2	2	1	1
CR	0	0	0	0	0	0
Total permanents	9	9	9	9	9	9
Émérites	1	1	1	0	0	0
Doctorants	7	10	9	11	9	6
Ingénieurs CDD ou hors tutelles	2	0	0	1	2	1
Post-doc, ATER, etc.	1	2	2	3	3	3
Stagiaires	3	7	8	3	6	3
Total non permanents	13	19	19	18	20	13
Total avec émérites	**23**	**29**	**29**	**27**	**29**	**22**
Equivalent temps plein recherche	5.5	5.5	5.5	5.5	5.5	5.5

TABLE 1 – Personnels CIAN sur la période 2017-2022 (au 1er juillet de chaque année)

1.1 Les thématiques scientifiques et leurs enjeux

Thématiques scientifiques

Les activités de recherche de l'équipe se structurent autours des sujets liés aux circuits et systèmes intégrés sur puce. L'importance croissante des puces électroniques pour l'industrie et la société est reflétée par l'attende de l'industrie que la demande de puces double d'ici à 2030. Avec la transformation numérique, de nouveaux marchés continuent à émerger, tels que voitures autonomes, l'informatique en nuage, l'internet des objets, la 6G, l'espace, la défense et les supercalculateurs.

Les puces électroniques se sont ainsi devenues des atouts stratégiques comme l'atteste le "ChipsAct européen" [1]. Le but est de développer des puces électroniques plus petites, plus rapides, fiables et économes en énergie tout en garantissant la performance et la sécurité d'applications.

Les thématiques de recherche de l'équipe couvrent un large éventail de sujets, en visant principalement le développement des outils de CAO pour la conception de circuits en technologies CMOS sub-microniques, la conception des blocs réalisant l'interface entre la puce et le monde extérieur (communication RF, convertisseurs analogiques-numériques, alimentation, génération d'horloge), les accélérateur d'IA et les architectures neuromorphiques, l'adéquation algorithme-architecture, les dispositifs de protection matérielle et le sûreté de fonctionnement. L'équipe participe activement au mouvement Open Hardware dans la microélectronique, ce qui constitue un des sujets phares.

La recherche de l'équipe se structure autours de 6 axes décrits plus bas.

Conception et modélisation des circuits et systèmes intégrés

(a) Conversion, transmission et récupération de l'énergie utilisée pour alimenter les systèmes autonomes communicants ;
(b) Architectures neuromorphiques basées sur des réseaux de neurones à impulsions (SNN : Spiking Neural Networks, en anglais) émulant des fonctionnalités semblables à celles du cerveau ;
(c) Émetteurs-récepteurs hautement numérisés à faible consommation pour les applications 5G/6G et IoT ;
(d) Conversion analogique-numérique et numérique analogique de type $\Sigma\Delta$;
(e) Conversion numérique-analogique de type FIRDAC (Finite Impulse Response Digital-to-Analog Converter) ;
(f) Classification sur puce en temps réel des signaux radio-fréquence à l'aide de l'apprentissage profond.

1. https://commission.europa.eu/strategy-and-policy/priorities-2019-2024/europe-fit-digital-age/european-chips-act_en

Outils et environnements de conception libres des circuits et systèmes intégrés

(a) Coriolis – chaîne d'outils complète et innovante (compilateur et simulateur VHDL, synthétiseur logique, placement et routage automatiques, etc.) permettant un flow de conception de bout en bout des circuits intégrés ;
(b) Synthèse automatique des réseaux de neurones à impulsions convolutifs en VHDL à partir des spécifications d'architecture (c'est-à-dire le nombre de couches, le nombre des feature maps par couche, la taille de feature maps, la taille des champs réceptifs, les hyperparamètres tels que le seuil, la fuite et la période réfractaire de neurone, etc.) ;
(c) Automatisation des techniques de sécurisation du matériel (verrouillage, contre-mesures pour prévenir et détecter les chevaux de Troie matériels) proposant des flots pour la confiance numérique (Design for Trust) ;
(d) Automatisation des techniques d'adéquation algorithme architecture en guidant la synthèse de haut niveau (HLS).

Sécurité matérielle

(a) Implantations matérielles efficaces d'algorithmes de crypto ; (b) Méthodes de conception afin de protéger la propriété intellectuelle du matériel contre le piratage, la contrefaçon, et la rétro-ingénierie (verrouillage efficace d'un circuit) ;
(b) Chevaux de Troie matériels ;
(c) Automatisation de l'insertion de contre-mesure dans le flot de conception ;
(d) Nouvelles attaques qui appellent la communauté scientifique à renforcer la sécurité des systèmes embarqués.

Sûreté de fonctionnement des circuits et systèmes intégrés

(a) Conception en vue du test, test en ligne et diagnostic des défaillances des circuits analogiques, mixtes et radio-fréquences ;
(b) Modélisation et simulation de fautes, test, fiabilité et tolérance aux fautes des accélérateurs matériels d'IA ;
(c) Applications d'apprentissage automatique.

Adéquation algorithme architecture

(a) Trouver un bon compromis entre les contraintes d'une application embarquée sur matériel (débit, ressources, mémoire) ;
(b) Systématiser l'exploration de l'espace de conception (Design Space Exploration) pour des algorithmes de vision. En collaboration avec l'équipe ALSOC.

Histoire de l'informatique et de la microélectronique

(a) Histoire des mouvements de contestation des industries numériques, histoire de la Silicon Valley, capitalisme numérique.

Avancées scientifiques majeures dans la période et positionnement scientifique par rapport au contexte international

Coriolis et Open Hardware. Coriolis est l'un des deux outils disponibles au niveau mondial aujourd'hui permettant une conception libre de circuits intégrés, de la spécification du système à la génération du dessin des masques (layout). L'autre est OpenROAD (`https://theopenroadproject.org/`), outil américain soutenu par un programme de la DARPA. Coriolis a pour objectif de remplacer les outils industriels proposés seulement par trois sociétés (Siemens, Cadence, Synopsys) à des tarifs prohibitifs de l'ordre d'un million d'euros annuel.

L'équipe participe activement au mouvement Open Hardware dans la microélectronique. Nous organisons la conférence Free Silicon Conference (FSIC), nous participons dans le comité de programme de la conférence RISC-V et nous sommes membre du groupe de travail AMS du consortium Accellera System Initiative pour standardiser l'extension AMS de SystemC.

Nous commençons à voir apparaître des appels ou chapitres spéciaux sur cette thématique dans les conférences internationales (DATE, DAC), ainsi que dans les projets ANR et européen.

Sur la méthodologie de conception des circuits analogiques en utilisant les outils libres, deux originalités majeures sont à noter :

- Généricité et formalisation des procédures de dimensionnement (une conception paramétrable) en utilisant l'outil OCEANE, plutôt qu'une conception artisanale pour un jeu de spécifications données,
- Méthodologie pour la génération automatique du layout en utilisant l'outil Coriolis.

Sécurité matérielle. Les menaces de sécurité matérielle telles que le piratage et la contrefaçon ont émergé de la mondialisation de la chaîne d'approvisionnement des circuits intégrés et sont aujourd'hui une préoccupation majeure pour l'industrie (perte de revenus, de savoir-faire et de valeur de marque), les gouvernements (risques de sécurité lorsque des puces contrefaites sont utilisées dans des applications critiques) et la société (les puces contrefaites sont généralement de qualité inférieure et moins fiables) [3]. Ironiquement, le titre du premier article proposant une solution anti-piratage contentait "mettre fin au piratage" [5], mais peu de temps après, un jeu du chat et de la souris a commencé et s'est poursuivi jusqu'à aujourd'hui avec des contre-attaques brisant les défenses déjà développées [4].

Nous sommes parmi les premiers groupes au monde à avoir commencé à travailler dans le domaine de la sécurité et de confiance des circuits intégrés mixtes, possédant certains des résultats de l'état de l'art [Leonhard et al., 2021, El-Sayed et al., 2022, Leonhard et al., 2022, Díaz-Rizo et al., 2023]. Le portefeuille de solutions anti-piratage couvre tous les types de circuits mixtes et des solutions optimisées sont fournies pour les différents types. En ce qui concerne les circuits numériques, nous proposons de systématiser la conception en y intégrant la sécurité mais aussi les contraintes habituelles liées aux performances. Ainsi nous proposons des techniques d'optimisations multi-objectifs prenant compte l'ensemble des contraintes.

Les chevaux de Troie matériels constituent une autre menace majeure, l'attaquant disposant d'une pléthore de moyens pour compromettre le circuit, tandis que le défenseur doit déployer plusieurs solutions pour couvrir toutes les attaques imaginables [1]. Dans ce contexte, alors que la plupart des attaques ciblent aujourd'hui les circuits numériques, nous sommes parmi les premiers groupes internationaux à avoir proposé des attaques spécifiques aux circuits intégrés mixtes [Elshamy et al., 2022, Díaz-Rizo et al., 2022].

Accélérateurs matériels d'IA. Les accélérateurs matériels d'IA sont nécessaires pour héberger des algorithmes d'apprentissage profond, car le problème "memory wall" rend les processeurs à usage général très inefficaces [15]. L'accélération basée sur les FPGAs ou GPUs est largement répandue aujourd'hui. Cependant, il est possible de gagner plusieurs ordres de grandeur d'efficacité énergétique et de vitesse en implémentant les accélérateurs avec des ASIC [13].

La fiabilité et la sûreté de fonctionnement des accélérateurs matériels d'IA sont un domaine récent, les premières publications étant apparues il y a quelques années [11, 12]. Depuis lors, des centaines de groupes internationaux mènent des recherches dans ce domaine. Un récent article de revue co-écrit par un membre de l'équipe avec des collègues chez Intel Corp. et Alibaba Inc. [Su et al., 2023] discute des tendances et des perspectives actuelles.

L'équipe est l'une des premières au niveau international à travailler sur ce problème pour les processeurs neuromorphiques [Spyrou et al., 2021, Spyrou et al., 2022, El-Sayed et al., 2022]. Nous avons proposé le premier framework d'injection de fautes qui sera bientôt accessible au public en open source, et nous sommes le premier groupe au monde à effectuer des démonstrations sur du matériel neuromorphique réel.

Sûreté de fonctionnement des circuits intégrés. La sûreté de fonctionnement des circuits intégrés devient cruciale pour les applications critiques, telles que l'automobile et l'aérospatiale, où nous observons l'intégration de plusieurs puces jouant un rôle clé dans le fonctionnement [2]. La génération de tests à un taux de couverture de fautes proche de 0 DPPM (Defective Parts Per Million), d'approches de test en ligne et de diagnostic de défaillance devient d'une importance primordiale.

La technique SymBIST proposée par l'équipe [Pavlidis et al., 2021] est la première technique réutilisable tout au long du cycle de vie d'un circuit intégré mixte qui a été entièrement évaluée à l'aide du nouvel outil DefectSim de Siemens [8] et démontrée sur un design industriel par STMicroelectronics.

Adéquation algorithme architecture. Concernant l'adéquation algorithme architecture, il s'agit de prendre en compte d'autres contraintes que les performances lorsqu'on conçoit un circuit. Dans le cas des algorithmes de

vision, on a pris en compte la précision arithmétique et les performances ce qui permet d'étendre l'espace d'exploration. Cela nécessite des techniques d'exploration innovantes alliant l'ensemble des critères.

Jusqu'ici, les designs sont soit faits à la main, soit complètement en HLS (High-Level Synthesis). Le but est de proposer une solution intermédiaire permettant de gagner en efficacité sur le temps de conception et les performances. Les travaux autour de la HLS sont très récents [16], mais ne prennent en général en compte que le débit et la mémoire. Nous proposons des méthodes intégrant une exploration très complète.

Récupération d'énergie. Sur la thématique de la récupération d'énergie, l'équipe travaille sur le nouveau concept de récupérateur d'énergie vibratoire appelé "Récupérateur proche des limites physiques", où le mouvement de la masse mobile est contrôlé par l'électronique de conditionnement, de sorte à approcher les limites physiques fondamentales de la conversion d'énergie, compte tenu des paramètres des vibrations externes et du gabarit [Karami et al., 2020], dans le cadre du projet ANR NearLimit qui a commencé en 2022.

Le savoir-faire développé au cours des 15 dernières années sur le conditionnement des transducteurs capacitifs pour la conversion électromécanique de l'énergie et utilisé depuis 2022 est actuellement en étude pour être employé au conditionnement des transducteurs triboélectriques.

Activités interdisciplinaires et activités en liaison avec d'autres domaines.

Liens avec la médecine. Dans le domaine médical nous proposons des dispositifs portables de captation de données physiologiques (en collaboration avec l'équipe ALSOC).

Conception et réalisation de circuits analogiques utilisant des transistors organiques à très faible coût de fabrication. Ce travail est une collaboration avec Yvan Bonnassieux, Professeur à l'Ecole Polytechnique et Barbara Stadlober, Professeure à Joanneum Research Institute, Graz, Autriche.

Conception d'antennes reconfigurables dédiées à la radio logicielle et cognitive. Ce travail est une collaboration avec Ahmed Ibrahim, Associate Professor à Minia University, Egypte.

Utilisation de l'intelligence artificielle pour la classification de signaux RF et la détection d'attaques malveillantes. Ce travail est une collaboration avec Hassan Mostafa, Professeur à Cairo University en Egypte.

Nanosatellites. L'équipe participe au projet METEORIX, qui est un projet de mission spatiale portée par un nanosatellite, et ayant pour objectif scientifique une observation des météores depuis l'orbite basse [Rambaux et al., 2019].

2 INTRODUCTION DU PORTFOLIO

Cette section identifie les éléments de portfolio présentés par l'équipe CIAN. Chaque élément disposant de sa propre fiche explicative, nous nous contentons ici d'en donner une liste simple :

- *élément 1 (vidéo) : Coriolis – Une chaîne de CAO-VLSI libre*. La chaine de CAO-VLSI Coriolis, réalisant la dernière étape de conception d'une puce électronique (dessin des masques), offre aujourd'hui une alternative libre unique au niveau Européen.
- *élément 2 (vidéo) : SyncLock* – technologie pour empêcher le piratage et l'utilisation non autorisée des émetteurs-récepteurs RF, faisant aujourd'hui l'objet d'un projet prématuration CNRS.
- *élément 3 (publication) : SymBIST* – technologie de sûreté de fonctionnement et diagnostic des défaillances pour les circuits analogiques et mixtes.
- *élément 4 (publication) :* Une réalisation d'une puce de réseau de 100 PLLs (Phase Locked Loops) en technologie CMOS 65 nm de STMicroelectronics pour application à la génération d'horloge dans les SoCs.
- *élément 5 (publication) :* Technique basse consommation pour la réalisation d'un convertisseur analogique-numerique de type Sigma-Delta passe-bande.

3 AUTOÉVALUATION DU BILAN

3.1 Autoévaluation de l'équipe

Domaine 2. Attractivité

Référence 1. L'unité est attractive par son rayonnement scientifique et s'insère dans l'espace européen de la recherche.

Invitations dans des institutions académiques (séminaires, séjours, jury thèse et HDR...).

Séminaires invités :

1. All-digital PLL network for on-chip clock generation, Université Fédéral de la Sibérie, Russie, 2018
2. Spectrum Sensing for Biomedical Applications, French-Canadian Biomedical Engineering Summer School & Bio-Hackathon, 2018
3. Implémentation matérielle d'algorithmes de chiffrement authentifié sur FPGA, Journée Systèmes Embarqués et Objets Communicants, 2019
4. Multi-Objective Optimised Synthesis to Improve Cybersecurity, Rendez-vous de la Recherche et de l'Enseignement de la Sécurité des Systèmes d'Information, 2019
5. Echopen : un échographe portable et libre, Journée IOT : de l'architecture aux applications, 2019
6. Kinetic energy harvesting at microscale, National University of Minsk, Biélorussie, 2019
7. Design of all-digital PLLs for clocking applicatinos, L.N. Gumilyov Eurasian National University, Kazakhstan, 2019
8. Inertial sensors in silicon MEMS technologies, Almaty University of Power Engineering and Telecommunications, Kazakhstan, 2019
9. Des petits pas vers l'Open Hardware, Initiative de Recherche et Innovation sur le Logiciel Libre (IRILL), 2021
10. Challenges in IC design in nanometric, Online School on telecommunication technology for space in the frame of the SPACE.COM Erasmus+ Project, 2021
11. Logiciels open-source pour le hardware, Colloque du GDR SOC^2, 2022
12. Hardware Security and Trust for Wireless Integrated Circuits, Embedded and Cyber Connected Systems (ECCS) Workshop, King Abdullah University of Science and Technology (KAUST), Arabie Saoudite, 2022
13. Vers une licence libre pour les circuits intégrés sur silicium, Laboratoire de Traitement et Communication de l'Information (LTCI), Institut Polytechnique de Paris, 2022
14. Unstable passive charge pumps for high voltage electrostatic kinetic energy harvesters, Journée Thématique IEEE (IEEE Sensor / IEEE Instrumentation & Measurement), 2022

Participations aux jurys de thèse et HDR :

1. Université Grenoble Alpes, TIMA, Grenoble
2. CEA-LETI, Grenoble
3. Université de Rennes, IRISA, Rennes
4. Université de Montpellier, LIRMM, Montpellier
5. Université Bretagne-Sud, Lab-STICC, Brest
6. Université Paris-Saclay, Télécom Paris, Gif-sur-Yvette
7. Université Paris-Saclay, Centrale-Supelec, GeePs, Gif-sur-Yvette
8. Université Paris-Saclay, C2N, Gif-sur-Yvette
9. Université Bretagne Occidentale, Lab-STICC, Brest
10. Université Jean Monnet Saint Etienne, Laboratoire Hubert Curien, Saint-étienne
11. Université de Lyon, INSA Lyon, Lyon
12. Université de Lille, IEMN, Lille

13. Université d'Aix-Marseille, IM2NP, Marseille
14. Université Bordeaux, IMS, Bordeaux
15. Université Claude Bernard Lyon, INL, Lyon
16. Université de Strasbourg, ICube, Strasbourg
17. KU Leuven, Belgique
18. Politecnico di Torino, Italie
19. Université Gustav Eiffel, ESYCOM, Noisy-Le-Grand
20. Université de Lille, CRISTAL, Lille
21. Université de Cergy-Pontoise, ETIS, Cergy-Pontoise
22. Université de Bourgogne, ImVia, Dijon

Participations aux jurys des compétitions internationales :

1. EDA Competition, International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design (SMACD), Italie, 2017
2. IEEE TTTC's E. J. McCluskey Doctoral Thesis Award, USA, 2018, 2021 et 2022
3. EDAA Outstanding Dissertation Award, 2019 et 2020

Séjours :

1. Université de Krasnoyarsk, Russie, 1 semaine, 2018
2. Délégation CNRS au C2N, 1 an, 2018-2019
3. Université de Waterloo, Canada, 1 semaine, 2019
4. Université de Yangzhou, Chine, 2 mois, 2019

Comités de sélection :

1. École Centrale de Lyon, INL
2. INSA Toulouse, LAAS
3. Sorbonne Université, GeePs
4. Université Paris Saclay, GeePs/C2N

Invitations dans des congrès internationaux (tutoriels, sessions spéciales, panels,...).

1. Adapting the Test Process for Mixed-Signal ICs : Algorithm, Metrics, and Demonstration," IEEE International Mixed-Signals Test Workshop, Tutoriel, Grèce, 2017
2. From Data to Actions : Applications of Data Analytics in Semiconductor Manufacturing & Test," IEEE International Test Conference, Tutoriel, USA, 2017-2018
3. Machine learning applications in IC testing," IEEE European Test Symposium, Tutoriel, Allemagne, 2018
4. Securing Mixed-Signal ICs via Logic Locking, IEEE International Test Conference, Session Spéciale, USA, 2018
5. Adaptive Test : Machine Learning in Real Time on Big Data, IEEE VLSI Test Symposium, Panel, USA, 2018
6. Open Source Hardware and EDA Tools for Analog/Mixed-Signal Design and Prototyping, IEEE International Symposium on Circuits and Systems, Session spéciale, Italie, 2018
7. Ultra low pattern recognition for smart IoT applications, IEEE International Conference on Electronics Circuits and Systems, Italie, 2019
8. Applications of Machine Learning in Semiconductor Manufacturing and Test, Design, Automation and Test in Europe Conference, Tutoriel, Italie, 2019
9. Applications of Machine Learning in Semiconductor Manufacturing and Test, IEEE International Test Conference, Tutoriel, USA, 2019-2021
10. *SymBIST* : A Silicon Lifecycle Management Technique for Analog and Mixed-Signal Circuits," 1st IEEE Workshop on Silicon Lifecycle Management, Virtuel, 2021

11. AI Hardware Accelerators for critical-safety applications, CSW - HiPEAC, France, 2021
12. Hardware security and trust for RF Transceivers, European Microwave Week, Italie, 2022
13. Testability and Dependability of AI Hardware, IEEE International Test Conference, Tutoriel, USA, 2022
14. Can DPPM of AMS Circuits Be Accurately Estimated From Their Defect Coverage ?, IEEE European Test Symposium, Panel, Espagne, 2022
15. Logic locking as an example to introduce security in an open CAD flow, Free Silicon Conference, France, 2022

Conférences où membres de l'équipe sont membres au comité du programme.

1. Design Automation Conference
2. Design, Automation & Test in Europe Conference
3. IEEE Int. Symposium on On-Line Testing and Robust System Design
4. IEEE VLSI Test Symposium
5. IEEE International Test Conference
6. Frontiers on Analog CAD
7. IEEE International Workshop on Test and Validation of High Speed Analog Circuits
8. IEEE Latin-American Test Symposium
9. IEEE North Atlantic Test Workshop
10. IEEE International Mixed-Signals Test Workshop
11. International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design
12. IEEE International Symposium on Power and Timing Modeling, Optimization and Simulation
13. IEEE Symposium on Design and Diagnostics of Electronic Circuits and Systems
14. IEEE Workshop on Silicon Lifecycle Management
15. IEEE International Conference on Electronics Circuits and Systems
16. International Conference on Micro and Nanotechnology for Power Generation and Energy Conversion Applications
17. EuroSensors
18. International Conference on PhD Research in Microelectronics and Electronics
19. IEEE Latin American Symposium on Circuits and Systems
20. IEEE International Symposium on Circuits and Systems

Organisation de conférences.

1. IEEE European Test Symposium, Program Chair, 2017
2. IEEE VLSI Test Symposium, Special Sessions Co-Chair, 2018
3. IEEE European Test Symposium, Topic Chair, 2019 et 2020
4. Free Silicon Conference, Core Organization Committee, 2019 et 2022
5. IEEE Workshop on AI Hardware : Test, Reliability and Security, General Chair, 2020-2022
6. IEEE International Conference on Electronics Circuits and Systems, Program Chair, 2020 et 2022
7. Test Spring School, Co-Chair, 2020-2022
8. 1st Automotive Reliability and Test Workshop in Europe, Panels Chair, 2021
9. 2nd European Automotive Reliability, Test and Safety Workshop, Special Sessions Chair, 2022
10. IEEE International Test Conference in Asia, Europe Liaison, 2022

Responsabilités éditoriales dans des revues et des collections.

1. IEEE Transactions on Circuits and Systems II : Express Briefs, Comité éditorial, 2017

2. Springer Journal of Electronic Testing : Theory & Applications, Comité éditorial, 2017-2022
3. IEEE Design & Test, Comité éditorial, 2017-2022
4. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Comité éditorial, 2017-2018
5. IEEE Transactions on Circuits and Systems-I : Regular Papers, Comité éditorial, 2020-2022
6. IEEE Open Journal on Circuits and Systems, Co-édition de Special Issue “Special Section on IEEE ICECS 2020”, 2021
7. IEEE Design & Test, Co-édition de Special Issue “Testability and Dependability of AI Hardware”, mars/avril 2023

Participation à des instances de pilotage de la recherche et d’expertise scientifique.

1. 2 expertises projets ANR
2. 4 expertises ANRT
3. Comité HCERES pour évaluation de deux laboratoires français (TIMA et RFIC Lab)

Prix, distinctions.

1. 1er prix au concours ”MEMS Design Contest” co-organisé par Cadence Academic Network, X-Fab, Coventor et Reutlingen University (Allemagne) 2018
2. 2ème prix au EDA Competition de la conférence SMACD, 2019
3. 1er prix PhD au Forum IEEE European Test Symposium, 2021
4. Coriolis – prix science ouverte du logiciel libre de la recherche, 2022
5. Prix de la 2ème meilleur thèse de doctorat de l’Ecole Doctorale EDITE, 2022
6. Prix i-PhD de BPI-France, 2022

Conférences où membres de l’équipe participe au Steering Committee.

1. Free Silicon Conference
2. IEEE European Test Symposium
3. IEEE International Conference on Electronics Circuits and Systems

Logiciels libres.

1. Coriolis VLSI Backend Tools (`https://coriolis.lip6.fr/`)
2. OCEANE : Outil pour la conception et l’enseignement d’électronique analogique (`https://www-soc.lip6.fr/equipe-cian/logiciels/oceane/`)

Coriolis et Oceane sont utilisés en enseignement dans le Master INFO/SESI. Coriolis fait l’objet d’un dépôt git. Il est utilisé internationalement pour fabriquer des circuits intégrés.

Référence 2. L’unité est attractive par la qualité de sa politique d’accompagnement des personnels.

Chercheurs et enseignants-chercheurs invités au laboratoire.

1. Naohiko Shimizu, Université Tōkai, Japon, 2017-2020 et 2022
2. Ramon Parra, CINVESTAV, Mexique, 2018-2019 et 2022
3. Khaled Salama, KAUST, Arabie Saoudite, 2018
4. Andrew Lofts, Université de Waterloo, Canada, 2018
5. Marco Saif, Ain Shams University, Egypte, 2019
6. Carly Smith, Université de Waterloo, Canada, 2019
7. Elena Blokhina, University College Dublin, République irlandaise, 2021

8. Abhijit Chatterjee, Georgia Tech, USA, 2022
9. Paolo Rech, Università degli Studi di Trento, Italie, 2022
10. Adit Singh, Auburn University, USA, 2022
11. Wenzhe Guo, KAUST, Arabie Saoudite, 2022

Politique d'accompagnement des nouveaux personnels, doctorants et post-docs (modalités d'accueil et d'intégration, accompagnement, science ouverte…).

Nous gérons toute la partie recrutement et facilitons les modalités administratives. Nous faisons des réunions régulières avec les doctorants et post-docs (2 fois par mois et plus si nécessaire). Nous les accompagnons au mieux sur leurs difficultés (professionnelles, personnelles, administratives, caution pour leur logement). Nous les rendons acteurs de leur projet pour qu'ils se sentent bien dans ce qu'ils font quitte à changer les objectifs et attendus. Science ouverte dans la mesure du possible (selon le contrat de financement).

Référence 3. L'unité est attractive par la reconnaissance de ses succès à des appels à projets compétitifs.

Projets de recherche.

1. ANR TOLTECA (climaTe mOnitoring and disaster prevention using a reconfigurabLe saTEllite CommunicAtion system), 2017-2021
2. Projet Européen Penta (Hierarchy-Aware and secure embedded test infrastructure for Dependability and performance Enhancement of integrated Systems), 2017-2020
3. ANR EDITSoC (Electrical Diagnosis for IoT SoCs in automotive), 2018-2021
4. ANR STEALTH (Secure and TrustEd AnaLog hardware TecHnology), 2018-2021
5. DIM RFSI ARENA (Analog haRdware sEcurity based oN cAmouflaging), 2018-2019
6. ANR MOOSIC (Multi-Objective Optimised Synthesis to Improve Cybersecurity), 2018-2022
7. ANR BIOMEN (Biomedical Magnetic New Transducers), 2018-2022
8. EIT Health EICHO, 2019-2021
9. Projet Européen (CSA) GoIT, 2021-2025
10. ANR RE-TRUSTING (REliable hardware for TRUSTworthy artificial INtelliGence), 2022-2025
11. CNRS INS2I émergence AI-FUSEE (AI hardware FUnctional SafEty and rEliability), 2022
12. ANR NearLimit (Récupération d'énergie mécanique proche des limites physiques par synthèse adiabatique de la dynamique électromécanique), 2022-2024
13. ANR-NSF CHAMELEON (ompreHending And Mitigating Error in anaLog impLEmentations of On-die Neural networks), 2023-2026
14. Projet Européen Key Digital Technologies (KDT) Resilient Trust, 2023-2026
15. Projet Européen dAIEDGE (Distributed AI at the Edge), 2023-2026

Domaine 3. Production scientifique

	2017	2018	2019	2020	2021	2022
Articles (revues)	1.45	1.63	0.90	2.00	1.63	2.00
Communications (conférences)	1.27	1.09	2.90	2.36	2.72	2.54

TABLE 2 – Publications par ETPR par an entre 2017 et 2022

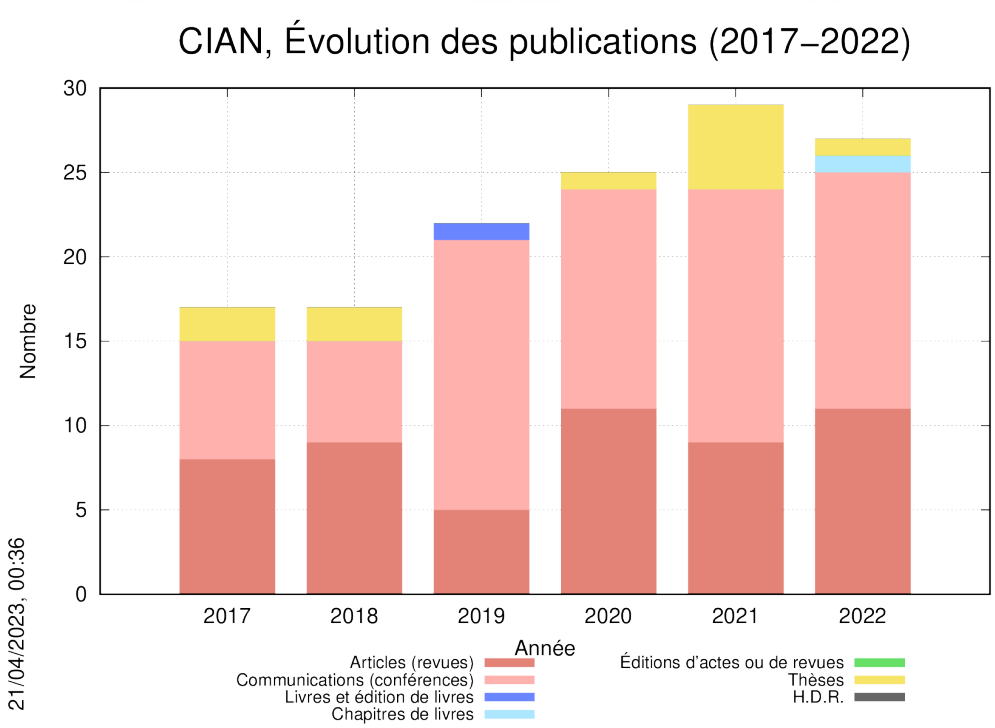

FIGURE 1 – Évolution des publications entre 2017 et 2022

Référence 1. La production scientifique de l'unité satisfait à des critères de qualité.

1. De nombreuses activités sur la promotion de l'open hardware ont lieu dans le cadre des projets européens EIT Health EICHO et GoIT, du projet UNIQ du CNRS et du projet NLnet. Le circuit LibreSoC a été envoyé en fabrication [Louërat, 2022]. Le dessin des masques, placement et routage ont été fait avec le logiciel libre Coriolis et le circuit a été validé en partie avec un logiciel d'analyse temporelle statique. Cette suite d'outils ayant comme composant central Coriolis est en développement continu au sein de l'équipe. Coriolis suit une approche procédurale reconnue au niveau international (BAG de Berkeley). En outre, une nouvelle version du logiciel libre Oceane pour la conception et dimensionnement des circuits analogiques est disponible incluant un environnement de conception de convertisseurs analogiques-numériques.
2. L'équipe est leader dans la conception, la réalisation et la mesure de convertisseurs $\Sigma\Delta$ passe-bande basés sur des résonateurs passifs LC [Belfort et al., 2017, Haghighitalab et al., 2018, Sayed et al., 2020]. Les performances obtenues par ces convertisseurs est largement au-delà de l'état de l'art. Les $\Sigma\Delta$ atteignent des fréquences centrales très élevées 3.0GHz avec une capacité de réglage sur une très large bande passante de 1.5 GHz. L'équipe a déposé plusieurs brevets pour protéger les techniques innovantes qui ont permis d'atteindre ces résultats. Ces brevets consistent la technologie sur laquelle se base la startup "Seamless Waves" issue de l'équipe.
3. Les travaux autours de l'adéquation algorithme architecture [Bournias et al., 2021, Bournias et al., 2022] sont très prometteurs. Ils sont utilisés dans le contexte de la détection de météores (projet Meteorix en collaboration avec ALSOC). Plus concrètement, les algorithmes de flot optique sont largement utilisés pour la détection de mouvement dans les flux vidéo. Ces algorithmes sont de plus en plus embarqués dans des systèmes (voiture autonome, satellites, caméra de surveillance etc.). Ils sont implantés sur CPU, GPU et plus récemment sur FPGA. Les contraintes à prendre en compte lorsqu'on les implante sont généralement le débit et les ressources utilisées (mémoire, coeurs de calcul etc.). Ainsi, pour implanter ce type d'algorithme sur un FPGA, il faut prendre en compte de nombreuses contraintes dépendant à la fois du FPGA ciblé (fréquence, type de ressources etc.) et de l'application (taille d'image, débit, précision visée etc.). Cela rend l'espace d'exploration des possibilités d'implantation très grand. Afin de réduire le temps de conception de ces algorithmes, nous proposons d'utiliser un outil de synthèse de haut niveau (HLS) pour effectuer l'exploration des différentes possibilités. Ce type de stratégie d'exploration est novatrice puisque nous avons ainsi pu explorer au moins un millier de configurations de paramètres (débit, ressources, précision etc.) permettant d'aider le concepteur à obtenir celle qui satisfait au mieux ses besoins. Cela nous a permis entre

autre de trouver des solutions architecturales permettant d'outrepasser les travaux à l'état de l'art en terme de débit et de ressources utilisées. a

4. Nous avons développé un large portefeuille de solutions anti-piratage pour les circuits intégrés mixtes et RF basés sur le verrouillage [9] et le camouflage [14]. Le verrouillage vise à insérer un verrou dans le circuit qui est un petit circuit fusionné avec le circuit cible et contrôlé avec une clé numérique. Ce n'est qu'en appliquant la clé valide que la fonctionnalité correcte du circuit est atteinte. La clé est le secret du concepteur qui n'est partagé avec aucune partie non fiable de la chaîne d'approvisionnement. Nos méthodologies de verrouillage sont basées sur le verrouillage logique [Leonhard et al., 2022], le verrouillage du mécanisme de calibration [Elshamy et al., 2021] des techniques de verrouillage spécifiques au type du circuit, par exemple pour les émetteurs-récepteurs RF [Díaz-Rizo et al., 2023]. Le camouflage vise à obscurcir le dessin des masques du circuit de telle sorte que lorsqu'une puce fait l'objet de rétro-ingénierie, l'attaquant voit un layout trompeur sans être en mesure de reconnaître certaines structures. Nous avons développé la première bibliothèque de composants de layout (transistors, capacités, résistances) camouflés pour les circuits analogiques, ainsi qu'une méthodologie de conception de camouflage, qui peut aider un concepteur à protéger n'importe quel layout [Leonhard et al., 2021]. Enfin, nous avons développé les attaques de chevaux de Troie matériels les plus puissantes qui existent aujourd'hui pour les circuits intégrés mixtes et RF. En particulier, nous avons montré comment exploiter l'infrastructure de test du SoC pour cacher un cheval de Troie matériel à l'intérieur d'une IP numérique et attaquer à distance une IP mixte ou RF [Elshamy et al., 2022]. Nous avons également montré comment un simple cheval de Troie matériel peut créer un canal secret dans les émetteurs RF qui peut divulguer des informations sensibles dans une transmission légitime, de sorte qu'un eavesdropper peut les récupérer sans être détecté par les parties qui communiquent [Díaz-Rizo et al., 2022]. Les travaux autour du verrouillage pour les circuits numériques ont reçu beaucoup d'encouragements même s'ils ne sont pas encore publiés, notamment le fait qu'ils s'intègrent dans un flot libre et allient les domaines de la recherche opérationnelle et de la conception matérielle.
5. Nous avons développé SymBIST [Pavlidis et al., 2021], la première technique d'auto-test intégré pour les circuits mixtes qui peut être réutilisée soit pour le test post-fabrication, soit pour le test en ligne, soit pour l'analyse et le diagnostic des défaillances. La technique identifie et construit certaines propriétés invariantes dans le matériel qui ne devraient être vraies que dans un fonctionnement sans erreur. Des moniteurs intégrés sont utilisés pour vérifier ces invariances et produire un signal d'alerte chaque fois qu'une invariance est violée. Les moniteurs fournissent également une résolution suffisante pour diagnostiquer un défaut jusqu'au niveau du transistor. La technique a été entièrement démontrée dans un IP de STMicroelectronics (convertisseur analogique-numérique de type SAR).
6. Nous avons développé une plateforme d'expérimentation matérielle pour les SNN [Spyrou et al., 2022]. En partant d'un bloc fondamental qui implémente un nœud SNN convolutif en VHDL, nous pouvons synthétiser automatiquement n'importe quelle architecture SNN en VHDL prête à être flashée sur un FPGA pour faire des prototypages et des expérimentations rapides. Nous avons développé le premier logiciel d'injection de fautes pour les SNN construit au-dessus des logiciels PyTorch [10] et SLAYER [6]. L'utilisateur peut simuler n'importe quel modèle de défaut pour étudier l'impact sur la performance du SNN. Nous avons également développé des méthodes de test et de tolérance aux fautes pour les SNN [Spyrou et al., 2021, El-Sayed et al., 2022]. Notre méthode de test génère un petit ensemble d'entrées, par exemple des images, qui peuvent sensibiliser n'importe quel défaut et propager son effet à la sortie résultant en une réponse différente de celle attendue. Les méthodes de tolérance aux fautes comprennent les méthodes proactives et réactives. Nous avons montré que l'entraînement du SNN avec dropout [7] peut annuler l'effet d'un certain nombre de défauts, tandis que le reste des défauts peut être détecté en ligne à l'aide d'un classificateur sur puce basé sur des trains d'impulsions extraites. Nous avons découvert que le défaut le plus mortel est lorsque les neurones saturent. À cette fin, nous avons proposé un concept simple d'atténuation des défauts dans lequel un neurone saturé est silencé, montrant que de cette manière la performance du SNN est récupérée. Nous pouvons affirmer que nous sommes parmi les premières équipes au monde à avoir abordé ce problème, possédant certains des résultats de pointe.
7. Développement d'un circuit de conditionnement à haut degré d'intégration pour un système de téléalimenation basé sur un capteur magnétoélectrique, destiné à une téléalimentation d'un implant médical [Sánchez-Chiva et al., 2022].
8. Travaux sur les pompes de charge instables, pour un conditionnement optimal des transducteurs capacitifs MEMS utilisés dans les récupérateurs d'énergie vibratoire [Galayko et al., 2021].
9. Travaux sur le nouveau concept de récupération d'énergie vibratoire basé sur le contrôle actif de la trajectoire de la masse mobile [Karami et al., 2020], particulièrement adapté aux environnements où les vibrations sont

à basse fréquence et à large bande spectrale. Les idées développées sont à la base des recherches que nous menons actuellement en collaboration avec ESYCOM et C2N.

10. Concernant l'histoire de l'informatique et de la microélectronique, les articles sur les activistes du numérique [Lécuyer, 2017, Lécuyer, 2022] ont démontré que la critique écologique des industries numériques a été développée dans un premier temps afin de syndicaliser les entreprises de la Silicon Valley. L'article sur la loi de Moore [Cogez and Lécuyer, 2022] propose une nouvelle interprétation de ce phénomène comme technique de management. L'article [Lécuyer, 2019] montre comment la direction d'Intel a lancé une réforme fondamentale de la fabrication dans les années 1980, en adoptant les technologies de fabrication et les procédures d'exploitation japonaises. L'ouvrage [Aragon et al., 2019] présente l'histoire des sciences et techniques illustrée et racontée en 144 dates emblématiques.

Partenaires du niveau international avec qui l'équipe co-publie..

1. Tokai University, Japon
2. Université technique de Kaiserslautern, Allemagne
3. NXP, Pays-bas
4. EPFL, Suisse
5. ChipFlow, Belgique
6. RED Semiconductor, Pay-bas
7. NYU Abu Dhabi, émirats Arabes Unis
8. UT Dallas, états-Unis
9. Université de Séville, Espagne
10. Intel Corp., états-Unis
11. Alibaba Inc., états-Unis
12. Texas Instruments, états-Unis
13. STMicroelectronics, Inde
14. ams AG, Autriche
15. CINVESTAV, Mexique
16. Minia University, Egypte
17. Ain-Shams University, Egypte
18. Cairo University, Egypte
19. Joanneum Research Institute, Autriche
20. Federal University of Rio Grande do Norte, Brazil
21. University College Dublin, Irlande
22. Yangzhou University, Chine

Référence 2. La production scientifique de l'unité est proportionnée à son potentiel de recherche et correctement répartie entre ses personnels.

Tous les chercheurs sont impliqués dans l'activité de recherche et participent aux publications. Un déséquilibre inévitable est dû au fait que certains membres de l'équipe ont de grosses tâches administratives par ailleurs (direction de l'école doctorale EDITE, direction de Polytech Sorbonne, direction du Master SESI). Comme règle générale, les doctorants assistent aux conférences pour présenter leurs résultats et participent à une école d'été au moins une fois pendant leur thèse.

Référence 3. La production scientifique de l'unité respecte les principes de l'intégrité scientifique, de l'éthique et de la science ouverte. Elle est conforme aux directives applicables dans ce domaine.

Les versions full-text de nos publications sont déposées sur HAL. Les données et autres productions (netlist des circuits, langage de description de matériel, source code logiciel, etc.), lorsque la nature du projet le permet, sont déposées sur GitHub en vue de la reproductibilité de nos résultats.

Domaine 4. Inscription des activités de recherche dans la société

L'équipe a plusieurs collaborations à long terme avec l'industrie de la microélectronique en France (notamment avec STMicroelectronics et Thales) et à l'étranger à travers des projets financés (ANR, projets européens, etc.) auxquels participent l'équipe et des partenaires industriels. Les fortes collaborations sont attestées par plusieurs publications communes, par exemple avec Texas Instruments [Ahmadi et al., 2017], ams AG [Stratigopoulos and Streitwieser, 2018] et STMicroelectronics [Pavlidis et al., 2021]. Pendant la période de référence l'équipe avait également un contrat avec le ministère des armées.

Actions de valorisation et de transfert. Un projet prématuration CNRS a été accepté sur la technologie *SyncLock* qui vise à sécuriser l'émetteur-récepteur RF au sein des objets connectés (voir élément 2 du portfolio et [Díaz-Rizo et al., 2023]). L'objectif à long terme est la création d'une startup pour la commercialisation des techniques de protection de blocs de propriétés intellectuelles dédiées au communications sans-fil.

Brevets. L'équipe a déposé 2 brevets :

1. I. Eshra, H. Aboushady, "A Programmable Finite Impulse Response Digital-to-Analog Converter", PCT/FR-2021/051687, Brevet déposé en september 2021.
2. H.-G. Stratigopoulos, A. R. Diaz Rizo, and H. Aboushady, "Method for securing telecommunication transceiver integrated circuit designs against piracy, counterfeiting, and unauthorized use", PCT/FR2022/050437, Brevet déposé en mars 2022.

Création de start-up. La startup Seamless Waves a été créé en octobre 2016 avec un permanant de l'équipe et deux anciens doctorants. La société est lauréate du concours i-Nov en 2021 et du plan de relance 5G en 2022. Elle est également lauréate du projet européen SHIFT KDT-JU IA (Sustainable tecHnologies enablIng Future Telecom applications) en 2022.

Contribution à la rédaction de normes. Nous contribuons à plusieurs normes :

1. Nouvelle version du User's guide de SystemC AMS extensions avec l'Accellera Systems Initiative,
2. IEEE P1687.2 Standard for Describing Analog Test Access and Control,
3. IEEE P2427 –Standard for Analog Defect Modeling and Coverage.

Référence 3. L'unité partage ses connaissances avec le grand public et intervient dans des débats de société.

L'équipe participe à la Fête de la Science proposant un atelier participatif pour faire découvrir la conception et fabrication de circuits intégrés sur silicium. Nous participons également à l'encadrement de plusieurs stages d'observation au niveau collège (3ème).

4 RÉFÉRENCES BIBLIOGRAPHIQUES EXTERNES

[1] S. Bhunia, M. S. Hsiao, M. Banga, and S. Narasimhan. Hardware trojan attacks : Threat analysis and countermeasures. *Proc. IEEE*, 102(8) :1229–1247, Jul. 2014.

[2] G. Gielen, W. Dobbelaere, R. Vanhooren, A. Coyette, and B. Esen. Design and test of analog circuits towards sub-ppm level. In *Proc. IEEE International Test Conference*, 2014. Paper 19.3.

[3] U. Guin, K. Huang, D. DiMase, J. M. Carulli, M. Tehranipoor, and Y. Makris. Counterfeit integrated circuits : A rising threat in the global semiconductor supply chain. *Proc. IEEE*, 102(8) :1207–1228, Aug. 2014.

[4] Z. Han, M. Yasin, and J. Rajendran. Does logic locking work with EDA tools ? In *Proc. 30th USENIX Security Symposium*, Aug. 2021.

[5] J. A. Roy, F. Koushanfar, and I. L. Markov. Ending piracy of integrated circuits. *Computer*, 43(10) :30–38, Oct. 2010.

[6] S. B. Shrestha and G. Orchard. SLAYER : Spike layer error reassignment in time. In *Proc. Adv. Neural Inf. Process. Syst. (NeurIPS)*, pages 1412–1421, Dec. 2018.

[7] N. Srivastava, G. Hinton, A. Krizhevsky, I. Sutskever, and R. Salakhutdinov. Dropout : A simple way to prevent neural networks from overfitting. *J. Mach. Learn. Res.*, 15(1) :1929–1958, Jun. 2014.

[8] S. Sunter, K. Jurga, and A. Laidler. Using mixed-signal defect simulation to close the loop between design and test. *IEEE Transactions on Circuits and Systems I : Regular Papers*, 63(12) :2313–2322, 2016.

[9] A. Chakraborty *et al.* Keynote : A disquisition on logic locking. *IEEE Trans. Comput.-Aided Design Integr. Circuits Syst.*, 39(10) :1952–1972, Oct. 2020.

[10] A. Paszke *et al.* PyTorch : An imperative style, high-performance deep learning library. In H. Wallach, H. Larochelle, A. Beygelzimer, F. d'Alché-Buc, E. Fox, and R. Garnett, editors, *Advances in Neural Information Processing Systems 32*, pages 8024–8035. Curran Associates, Inc., 2019.

[11] B. Reagen *et al.* Ares : A framework for quantifying the resilience of deep neural networks. In *Proc. 55th ACM/ESDA/IEEE Design Autom. Conf. (DAC)*, Jun. 2018.

[12] G. Li *et al.* Understanding error propagation in deep learning neural network (DNN) accelerators and applications. In *Proc. Int. Conf. High Perform. Comput., Netw., Storage Anal. (SC)*, Nov. 2017.

[13] S. Bavikadi *et al.* A survey on machine learning accelerators and evolutionary hardware platforms. *IEEE Des. Test*, 39(3) :91–116, Jun. 2022.

[14] A. Vijayakumar, V. C. Patil, D. E. Holcomb, C. Paar, and S. Kundu. Physical design obfuscation of hardware : A comprehensive investigation of device and logic-level techniques. *IEEE Trans. Inf. Forensics Security*, 12(1) :64 – 77, Jan. 2017.

[15] Wm. A. Wulf and S. A. McKee. Hitting the memory wall : Implications of the obvious. *SIGARCH Comput. Archit. News*, 23(1) :20–24, Mar. 1995.

[16] H. R. Zohouri, A. Podobas, and S. Matsuoka. High-performance high-order stencil computation on FPGAs using OpenCL. In *IEEE International Parallel and Distributed Processing Symposium Workshops (IPDPSW)*, pages 123–130, 2018.

5 RÉFÉRENCES BIBLIOGRAPHIQUES SIGNIFICATIVES DE CIAN

[Ahmadi et al., 2017] Ahmadi, A., Stratigopoulos, H.-G., Huang, K., Nahar, A., Orr, B., Pas, M., Carulli, J. M., and Makris, Y. (2017). Yield forecasting across semiconductor fabrication plants and design generations. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 36(12) :2120–2133.

[Aragon et al., 2019] Aragon, S., Aubin, D., Gaget, H., Guilbaud, A., Herran, N., and Lécuyer, C. (2019). *L'histoire des sciences : Des origines à nos jours*. Hatier.

[Belfort et al., 2017] Belfort, D., Catunda, S., and Aboushady, H. (2017). 4th order capacitively-coupled LC-based sigma-delta modulator. *Microelectronics Journal*, 62 :99–107.

[Bournias et al., 2021] Bournias, I., Chotin, R., and Lacassagne, L. (2021). FPGA acceleration of the horn and schunck hierarchical algorithm. In *IEEE International Symposium on Circuits and Systems (ISCAS)*, pages 1–5.

[Bournias et al., 2022] Bournias, I., Chotin, R., and Lacassagne, L. (2022). Using HLS for designing a parametric optical flow hierarchical algorithm in FPGAs. In *IEEE International Symposium on Circuits and Systems (ISCAS)*, pages 1600–1604.

[Cogez and Lécuyer, 2022] Cogez, P. and Lécuyer, C. (2022). Organiser la rupture continue dans un écosystème industriel : la loi de moore comme patrimoine de création collective dans l'industrie des semi-conducteurs. *Entreprises et histoire*, 98(1) :152–166.

[Díaz-Rizo et al., 2022] Díaz-Rizo, A. R., Aboushady, H., and Stratigopoulos, H.-G. (2022). Leaking wireless ICs via hardware trojan-infected synchronization. *IEEE Transactions on Dependable and Secure Computing*.

[Díaz-Rizo et al., 2023] Díaz-Rizo, A. R., Aboushady, H., and Stratigopoulos, H.-G. (2023). Anti-piracy design of rf transceivers. *IEEE Transactions on Circuits and Systems I : Regular Papers*, 70(1) :492–505.

[El-Sayed et al., 2022] El-Sayed, S. A., Spyrou, T., Camuñas-Mesa, L. A., and Stratigopoulos, H.-G. (2022). Compact functional testing for neuromorphic computing circuits. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*.

[Elshamy et al., 2022] Elshamy, M., Di Natale, G., Sayed, A., Pavlidis, A., Louërat, M.-M., Aboushady, H., and Stratigopoulos, H.-G. (2022). Digital-to-analog hardware trojan attacks. *IEEE Transactions on Circuits and Systems I : Regular Papers*, 69(2) :573–586.

[Elshamy et al., 2021] Elshamy, M., Sayed, A., Louërat, M.-M., Aboushady, H., and Stratigopoulos, H.-G. (2021). Locking by untuning : A lock-less approach for analog and mixed-signal IC security. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 29(12) :2130–2142.

[Galayko et al., 2021] Galayko, D., Ambia-Campos, J.-F., Le Roux, X., Karami, A., and Lefeuvre, E. (2021). 3/2 fractional bennet's multiplier for capacitive energy harvesters based on dickson charge-pump. In *IEEE International Conference on Electronics, Circuits, and Systems (ICECS)*, pages 1–6.

[Haghighitalab et al., 2018] Haghighitalab, D., Belfort, D., Kiliç, A., Benlarbi-Delai, A., and Aboushady, H. (2018). A 2.4 GHz ISM-band highly digitized receiver based on a variable gain LNA and a subsampled $\sigma\delta$ adc. *Analog Integr. Circ. Sig. Process.*, 95(2) :259–270.

[Karami et al., 2020] Karami, A., Juillard, J., Blokhina, E., Basset, P., and Galayko, D. (2020). Electrostatic near-limits kinetic energy harvesting from arbitrary input vibrations.

[Leonhard et al., 2022] Leonhard, J., Limaye, N., Turk, S., Sayed, A., Díaz-Rizo, A. R., Aboushady, H., Sinanoglu, O., and Stratigopoulos, H.-G. (2022). Digitally assisted mixed-signal circuit security. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 41(8) :2449–2462.

[Leonhard et al., 2021] Leonhard, J., Sayed, A., Louërat, M.-M., Aboushady, H., and Stratigopoulos, H.-G. (2021). Analog and mixed-signal IC security via sizing camouflaging. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 40(5) :822–835.

[Louërat, 2022] Louërat, M.-M. (2022). Logiciels open-source pour le hardware. In *Colloque du GDR SOC*^{2}.

[Lécuyer, 2017] Lécuyer, C. (2017). From clean rooms to dirty water : Labor, semiconductor firms, and the struggle over pollution and workplace hazards in silicon valley. *Information & Culture : A Journal of History*, 52(3) :304–333.

[Lécuyer, 2019] Lécuyer, C. (2019). Confronting the japanese challenge : The revival of manufacturing at intel. *Entreprises et histoire*, 93(2) :349–373.

[Lécuyer, 2022] Lécuyer, C. (2022). Mouvement syndical et critique écologique des industries numériques dans la Silicon Valley. *Réseaux*, 231(1) :41–70.

[Pavlidis et al., 2021] Pavlidis, A., Louërat, M.-M., Faehn, E., Kumar, A., and Stratigopoulos, H.-G. (2021). SymBIST : Symmetry-based analog and mixed-signal built-in self-test for functional safety. *IEEE Transactions on Circuits and Systems I : Regular Papers*, 68(6) :2580–2593.

[Rambaux et al., 2019] Rambaux, N., Vaubaillon, J., Lacassagne, L., Keckhut, P., Deleflie1, F., Galayko, D., Guignan, G., and Team, M. (2019). Meteorix : a cubesat mission dedicated to the detection of meteors and space debris. In *ESA NEO and Debris Detection Conference*.

[Sayed et al., 2020] Sayed, A., Badran, T., Louërat, M.-M., and Aboushady, H. (2020). A 1.5-to-3.0GHz tunable RF sigma-delta ADC with a fixed set of coefficients and a programmable loop delay. *IEEE Transactions on Circuits and Systems II : Express Briefs*, 67(9) :1559–1563.

[Spyrou et al., 2021] Spyrou, T., El-Sayed, S. A., Afacan, E., Camuñas-Mesa, L. A., Linares-Barranco, B., and Stratigopoulos, H.-G. (2021). Neuron fault tolerance in spiking neural networks. In *Proc. Design Autom. Test Europe Conf. (DATE)*, pages 743–748.

[Spyrou et al., 2022] Spyrou, T., El-Sayed, S. A., Afacan, E., Camuñas-Mesa, L. A., Linares-Barranco, B., and Stratigopoulos, H.-G. (2022). Reliability analysis of a spiking neural network hardware accelerator. In *Proc. Design Autom. Test Europe Conf. (DATE)*, pages 370–375.

[Stratigopoulos and Streitwieser, 2018] Stratigopoulos, H.-G. and Streitwieser, C. (2018). Adaptive test with test escape estimation for mixed-signal ICs. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 37(10) :2125–2138.

[Su et al., 2023] Su, F., Liu, C., and Stratigopoulos, H.-G. (2023). Testability and dependability of AI hardware : Survey, trends, challenges, and perspectives. *IEEE Design & Test*, 40(2) :8–58.

[Sánchez-Chiva et al., 2022] Sánchez-Chiva, J. M., Galayko, D., and Rhouni, A. (2022). A CMOS inductor-less PMIC with MPPT and burst control for a 600 μW magnetoelectric transducer. In *IEEE International Symposium on Circuits and Systems (ISCAS)*, pages 1882–1886.

A ANNEXE — MEMBRES PERMANENTS AU 31/12/2022

La table ci dessous liste les membres permanents de l'équipe CIAN.

NOM	Prénom	Corps	Employeur
ABOUSHADY	Hassan	MCF (HDR)	Sorbonne Université
BAZARGAN SABET	Pirouz	MCF	Sorbonne Université
CHOTIN	Roselyne	MCF (HDR)	Sorbonne Université
GALAYKO	Dimitri	MCF (HDR)	Sorbonne Université
LECUYER	Christophe	PR	Sorbonne Université
LOUËRAT	Marie-Minerve	CR (HDR)	CNRS
MEHREZ	Habib	PR	Sorbonne Université
PÊCHEUX	François	PR	Sorbonne Université
STRATIGOPOULOS	Haralampos	DR	CNRS

ÉLÉMENT DE PORTFOLIO 01

Vidéo

1 DÉFINITION DE CET ÉLÉMENT

Titre de l'élément : Coriolis [1] – Une chaîne de CAO-VLSI libre

URL de l'élément : `https://youtu.be/aGGchsMQ0gg`

2 MOTIVATIONS DU CHOIX DE CET ÉLÉMENT

L'évolution récente du monde a fait clairement apparaître la maîtrise de l'industrie des semi-conducteurs comme un élément critique tant au niveau économique que politique.

La chaine de CAO-VLSI Coriolis, réalisant la dernière étape de conception d'une puce électronique (dessin des masques) offre aujourd'hui une alternative libre unique au niveau Européen. Elle a reçu un accessit à l'OSEC2022 [1].

3 PRÉSENTATION DE CET ÉLÉMENT

La réalisation d'une puce électronique se décompose, très schématiquement en deux étapes :

1. La conception du circuit. On va progressivement passer d'une description de très haut niveau (en fait, un jeu d'équations mathématiques) à un *plan* en deux dimensions, que l'on appelle un *dessin des masques*. Cette transformation progressive se fait au travers de nombreuses étapes avec des logiciels différents, mais travaillant de concert. C'est pourquoi on parle de *chaîne de CAO*, plutôt que d'un unique outil.
2. La fabrication du circuit. On envoie le plan (*dessin des masques*) à une usine spécialisée que l'on appelle une *fonderie*. Celle-ci va fabriquer l'objet physique qu'est la puce électronique.

La chaîne de CAO Coriolis se place à la fin de la première étape. Elle prend en charge la création du dessin des masques. C'est la synthèse physique. C'est une étape cruciale car elle permet l'accès aux fonderies et donc la fabrication effective de l'objet. Elle est aussi très délicate car le dessin des masques doit respecter un jeu de règles très strictes, en plus de contraintes électriques complexes.

Au niveau mondial, il n'existe que trois sociétés proposant ce genre d'outils, et ce, à des tarifs prohibitifs (de l'ordre du million d'euros annuel) et deux chaînes libres : Coriolis et OpenROAD. La seconde, est américaine et soutenue par un programme de la DARPA.

Coriolis s'inscrit pleinement dans le mouvement de l'Open Hardware visant à permettre aux académiques, PME/PMI de pouvoir accéder à la réalisation de puces.

Coriolis est le fruit de plus de vingt ans de recherche et développement menés au LIP6. Elle est aujourd'hui bien au delà du simple démonstrateur académique, elle offre en particulier un support pour les circuits mixtes (numériques & analogique) unique, y compris chez les outils commerciaux.

Nous avons adopté une stratégie de développement progressive, en commençant par supporter les technologies dites matures (bien maîtrisées et amorties financièrement) puis, au fur et à mesure de l'ajout de fonctionnalités, nous irons vers les technologies avancées.

1. https ://coriolis.lip6.fr

Plusieurs circuits ont pu être réalisés ces dernières années avec Coriolis :

- Le LibreSOC, 1.3M transistors en technologie TSMC 180nm, 2021 ;
- Un Minerva RISC-V, 220K transistors, Google/SkyWater 130nm, 2022 ;
- Retro-UC, 104K transistors, TSMC 350nm, 2022.

4 RÉFÉRENCES BIBLIOGRAPHIQUES

[1] Osec2022 – les journées européennes de la science ouverte. mars 2022.

ÉLÉMENT DE PORTFOLIO 02

Vidéo

1 DÉFINITION DE CET ÉLÉMENT

Titre de l'élément : *SyncLock*

URL de l'élément : `https://youtu.be/kt31L5VkGX4`

2 MOTIVATIONS DU CHOIX DE CET ÉLÉMENT

SyncLock est la toute première solution pour empêcher le piratage et l'utilisation non autorisée des émetteurs-récepteurs Radio Fréquence (RF).

Publiée dans l'une des revues les plus influentes dans le domaine des circuits et systèmes intégrés [1] et brevetée en mars 2022 [2], elle fait aujourd'hui l'objet d'un projet pré-maturation CNRS. *SyncLock* a été développée dans le cadre de la thèse d'Alan Rodrigo Diaz Rizo qui est l'un des lauréats du concours i-PhD en 2022 avec le projet *SyncLock*.

3 PRÉSENTATION DE CET ÉLÉMENT

3.1 Problématique

Dans les années 1980s, une société de microélectronique possédait tout le savoir-faire pour concevoir une puce électronique de bout en bout. Aujourd'hui les circuits intégrés sont devenus très complexes et la grande majorité des sociétés de microélectronique font appel à des tiers. Par exemple, une société achète certains blocs à des tiers plus spécialisés afin de construire un système-sur-puce.

Par ailleurs, la plupart des sociétés sont "fabless" et envoient leur circuit à une fonderie offshore pour la fabrication. L'une des conséquences de cette chaîne d'approvisionnement massivement mondialisée est qu'un circuit peut facilement faire l'objet de piratage.

Il existe plusieurs menaces de piratage d'un circuit : le clonage, la contrefaçon, la rétro-ingénierie, la surproduction, le remarquage, le recyclage et l'utilisation non-autorisée. Le piratage est une préoccupation majeure pour l'industrie (perte de la propriété intellectuelle, revenus et valeur de marque), les gouvernements (puces contrefaites utilisées dans des infrastructures critiques telles que la défense) et la société (les puces contrefaites ont une qualité inferieure).

3.2 SyncLock

SyncLock est une technologie de sécurisation anti-piratage des émetteurs-récepteurs RF. Ce circuit est indispensable dans les objets connectés permettant la communication sans fil. Il est omniprésent jouant un rôle essentiel dans de nombreuses applications. Il est donc très fréquemment une cible d'attaque.

La solution apportée par *SyncLock* est basée sur le principe de verrouillage d'un circuit qui transforme le circuit original en un circuit fonctionnellement équivalent, mais la fonctionnalité dépend d'une clé secrète correcte. La solution spécifique proposée fonctionne en verrouillant les bits du préambule des trames transmises par l'émetteur, de sorte que si une clé invalide est utilisée, l'émetteur ne se synchronise pas avec le récepteur et donc la communication échoue.

La technologie *SyncLock* présente plusieurs avantages pour son adoption par l'industrie : elle est totalement non intrusive lorsque la clé correcte est utilisée ce qui signifie que la performance prévue est retenue, son coût de mise en œuvre (effort de conception, surface, consommation, etc.) est minimal, elle est compatible avec n'importe quelle architecture d'émetteur-récepteur RF, elle est résistante à toutes les contre-attaques connues.

4 RÉFÉRENCES BIBLIOGRAPHIQUES

[1] A. R. Díaz-Rizo, H. Aboushady, and H.-G. Stratigopoulos. Anti-piracy design of rf transceivers. *IEEE Transactions on Circuits and Systems I : Regular Papers*, 70(1) :492–505, 2023.

[2] H.-G. Stratigopoulos, A.-R. Díaz Rizo, and H. Aboushady. Method for securing telecommunication transceiver integrated circuit designs against piracy, counterfeiting, and unauthorized use, March 2022. PCT/FR2022/050437.

ÉLÉMENT DE PORTFOLIO 03

Publication

1 DÉFINITION DE CET ÉLÉMENT

Titre de l'élément : *SymBIST*

URL de l'élément : `https://hal.science/hal-03171195`

2 MOTIVATIONS DU CHOIX DE CET ÉLÉMENT

Aujourd'hui, le nombre de circuits intégrés (CIs) utilisés dans les applications liées à des missions critiques et à la sûreté, comme l'automobile, la e-santé, la défense, les infrastructures critiques, ne cesse d'augmenter. Pour être utilisés dans ces applications, les CIs doivent présenter des propriétés de sûreté de fonctionnement.

Cet article [2] introduit un auto-test intégré (BIST) pour les CIs analogiques et à signaux mixtes (AMS), appelé autotest à symétrie (SymBIST), qui offre plusieurs voies pour obtenir la sûreté de fonctionnement.

3 PRÉSENTATION DE CET ÉLÉMENT

SymBIST repose sur le principe du BIST et sur l'existence de signaux invariants, inhérents au CI. Les invariants retenus (tension ou courant) possèdent une valeur constante pour un fonctionnement nominal du CI, et une valeur bien distincte en cas de fonctionnement erroné. Les invariants sont vérifiés à l'aide de dispositifs intégrés spécifiques. SymBIST est une solution qui répond à trois objectifs de sûreté de fonctionnement. Il est utilisé tout d'abord pour tester les défauts du CI avec une couverture de test élevée. Il est également utilisé pour le test en ligne, lors du fonctionnement du CI, afin de détecter le vieillissement, les défauts latents et les perturbations dues à un événement aléatoire. Enfin, il est utilisé pour diagnostiquer les défauts avec une grande précision, avant la mise en œuvre d'actions de correction [1].

SymBIST a été démontré sur un convertisseur analogique-numérique à approximations successives conçu par STMicroelectronics. Nous avons présenté également des générateurs de stimuli numériques pour le test sur puce qui nécessitent une reconfiguration mineure pour passer de la détection de défauts au diagnostic. SymBIST, utilisé pour tester les défauts, a un temps de réponse inférieur à la μs et offre une couverture de test, pondérée de la vraisemblance, supérieure à 86%. Pour le test en ligne, SymBIST effectue une mesure des invariants en temps réel, sans interrompre le fonctionnement normal du circuit et indépendamment de l'entrée, pour détecter le vieillissement, les défauts latents, et les erreurs transitoires.

En ce qui concerne le diagnostic, la réponse de SymBIST offre une représentation numérique du diagnostic. Pour réduire l'ambiguïté de la détection des défauts, il tire parti de la même infrastructure de test, en modifiant sa configuration. SymBIST offre une précision de diagnostic élevée, avec un diagnostic de défaut valide à 73%, tandis que plus de 97% des défauts appartiennent à des ensembles inférieurs ou égaux à 5 éléments, le tout en quelques μs. Enfin, SymBIST n'entraîne aucune pénalité de performance du CI, requiert une augmentation de surface d'environ 5%, et possède une interface entièrement numérique qui le rend compatible avec les mécanismes modernes d'accès aux tests numériques basés sur deux connecteurs externes.

4 RÉFÉRENCES BIBLIOGRAPHIQUES

[1] A. Pavlidis, E. Faehn, M.-M. Louërat, and H.-G. Stratigopoulos. Bist-assisted analog fault diagnosis. In *IEEE European Test Symposium (ETS)*, pages 1–6, 2021.

[2] A. Pavlidis, M.-M. Louërat, E. Faehn, A. Kumar, and H.-G. Stratigopoulos. SymBIST : Symmetry-based analog and mixed-signal built-in self-test for functional safety. *IEEE Transactions on Circuits and Systems I : Regular Papers*, 68(6) :2580–2593, 2021.

ÉLÉMENT DE PORTFOLIO 04

Publication

1 DÉFINITION DE CET ÉLÉMENT

Titre de l'élément : Réseau cartésien de 100 PLLs tout-numériques pour synthèse d'horloge distribuée pour les grands systèmes sur puce (SOCs).

URL de l'élément : `https://hal.science/hal-02318785/`

Fichier de élément :

2 MOTIVATIONS DU CHOIX DE CET ÉLÉMENT

Cet article publie un résultat d'un travail de 10 ans de recherche sur les techniques de génération d'horloge sur puce à l'aide d'un réseau de ADPLL (All Digital Phase Locked Loops) couplés. Ce travail a eu des retombées théoriques importantes concernants l'analyse et la modélisation d'un réseau de ADPLL qui est un système dit hybride (temps continu-temps discret, analogique et numérique, à échantillonnage irrégulier), dont les performances (le bruit, la stabilité, les propriétés dynamiques) sont très compliqués à stabiliser.

Ce travail a résulté d'une collaboration avec plusieurs laboratoires, cités ici en ordre de l'ancienneté de la collaboration : SUPELEC Paris, CEA-LETI (Grenoble), Laboratoire Ampère (Lyon), Université College Dublin (School of Engineering). Le prototype intégré contient 100 ADPLLs utilisant 300k transistors, est pleinement fonctionnel et est un des plus grands circuits de l'électronique mixte de ce type réalisé récemment dans le milieu académique français.

3 PRÉSENTATION DE CET ÉLÉMENT

Ce travail est motivé par l'évolution de circuits numériques vers des systèmes sur puces de très grande complexité (SOCs / NOCs). La génération d'une horloge globale est problématique pour de tels systèmes à cause de son coût énergétique et des variabilités technologiques. Cependant, une horloge globale est requise par le principe de communications synchrones, qui reste dominant dans le monde des circuits numériques. La technique étudiée consiste en l'utilisation d'un réseau d'oscillateurs couplés. Les oscillateurs locaux sont synchronisés en phase et en fréquence, permettant ainsi une communication synchrone sur une puce numérique de grande taille. La synchronisation des horloges locales utilise les techniques numériques de la synthèse de phase, connues sous le terme « All-Digital PLL». La nature numérique de ce système de synchronisation constitue le principal point innovant du projet par rapport aux travaux antérieurs.

Un réseau de PLLs tout-numériques est une structure peu étudiée, et jamais utilisée auparavant pour la génération d'horloge. Le projet a pour but d'étudier la synchronisation d'un réseau d'oscillateurs par une PLL tout-numérique distribuée, en effectuant une étude théorique et en développant des démonstrateurs fonctionnels sur silicium. Sur le plan théorique, il s'agit de prouver que la structure, malgré sa complexité et sa non-linéarité, peut être stable et avoir un comportement maîtrisable. Les conditions de cette stabilité, ainsi que les outils théoriques pour la conception pratique, ont été étudiées. Des méthodes d'étude de systèmes multimodaux et non-linéaires ont été adaptées au problème : méthode H-infini, techniques propres aux systèmes multi-agents, étude de systèmes non-linéaires temps discret auto-échantillonnés [1, 3].

Depuis 2010, trois ASICs ont été conçus en technologie 65 nm de ST Microelectronics : un circuit comportant une seule PLL tout-numérique (2011), un circuit comportant un réseau de 4x4 oscillateurs (2013), un troisième circuit comportant un réseau de 10x10 oscillateurs et plus de 300 000 transistors (2014). Les trois puces sont fonctionnelles. Ces projets de conception ont été menés dans le cadre des thèses de doctorat d'Eldar Zianbetov (2008-2013) et Chuan Shan (2010-2014) [4].

L'évolution de ce projet comprend avant tout une étude théorique et un effort de modélisation de grand réseau de PLLs, afin d'optimiser la qualité de synchronisation de très grands ensembles d'oscillateurs contenant plus de 1000 nœuds. Entre 2014 et 2018, avec Elena Blokhina (University College Dublin, Irlande), nous avons co-encadré

une thèse de doctorat sur le sujet de modélisation mathématique des réseaux de PLLs tout-numériques (thèse de doctorat d'Eugene Koskin, UCD, Dublin). L'agence Entreprise Ireland (projet JRNET) a ensuite financé une étude exploitant l'utilisation d'un réseau de PLLs pour la synthèse d'horloge à grande pureté spectrale [2].

4 RÉFÉRENCES BIBLIOGRAPHIQUES

[1] J.-M. N Akre, Jérôme Juillard, D. Galayko, and E. Colinet. Synchronization analysis of networks of self-sampled all-digital phase-locked loops. *IEEE Transactions on Circuits and Systems I : Regular Papers*, 59(4) :708–720, 2011.

[2] P. Bisiaux, E. Blokhina, E. Koskin, T. Siriburanon, and D. Galayko. Design of a 1.5 ghz low jitter dco ring in 28 nm cmos process. In *European Conference on Circuit Theory and Design (ECCTD)*, pages 1–5, 2020.

[3] E. Koskin, D. Galayko, and E. Blokhina. A concept of synchronous adpll networks in application to small-scale antenna arrays. *IEEE Access*, 6 :18723–18730, 2018.

[4] E. Zianbetov, D. Galayko, F. Anceau, M. Javidan, C. Shan, O. Billoint, A. Korniienko, E. Colinet, G. Scorletti, J. M. Akré, and J. Juillard. Distributed clock generator for synchronous soc using adpll network. In *IEEE Custom Integrated Circuits Conference (CICC)*, pages 1–4, 2013.

ÉLÉMENT DE PORTFOLIO 05

Publication

1 DÉFINITION DE CET ÉLÉMENT

Titre de l'élément : Technique basse consommation pour la réalisation d'un convertisseur analogique-numérique de type Sigma-Delta passe-bande.

URL de l'élément : `https://hal.science/hal-03253471`

2 MOTIVATIONS DU CHOIX DE CET ÉLÉMENT

Cet article est le fruit de longues années de recherche dans le domaine de la conversion analogique-numérique rapide basse-consommation. Dans cet article, nous présentons une technique basse consommation pour la réalisation d'un convertisseur analogique-numérique de type Sigma-Delta passe-bande. Les résultats de mesure d'un circuit intégré conçu et fabriqué dans une technologie CMOS 65 nm montre que la technique proposée permet de réaliser un convertisseur analogique-numérique capable de fonctionner à une fréquence d'échantillonnage de 12 GHz avec une consommation inférieur à 20 mW. Dans une chaîne de réception radio fréquence (RF), ce convertisseur est capable de convertir directement le signal RF au domaine numérique, ce qui permettrait la réalisation de récepteur RF hautement numérisé facilement programmable et reconfigurable. Avant de publier cet article, un brevet a été déposé pour protéger les idées présentées dans l'article. Le brevet a été déposé en Europe, aux États-Unis, en Corée et en Chine. Ce brevet, dont Sorbonne Université et le CNRS sont propriétaires, fait maintenant parti du portfolio de brevets de la startup Seamless Waves issue de l'équipe CIAN. Seamless Waves est une société spécialisée dans la conception et la réalisation d'émetteur/récepteur RF hautement numérisés dédiées aux nouveaux standards de communications 5G/6G et IoT.

3 PRÉSENTATION DE CET ÉLÉMENT

La modulation Sigma-Delta passe-bande est une technique très efficace en consommation pour la réalisation de convertisseurs analogique-numérique Radio fréquence. Afin de couvrir une large gamme de fréquences, des convertisseurs Sigma-Delta passe-bande avec des fréquences centrales accordables ont été proposés. Un défi important dans la conception d'un modulateur Sigma-Delta accordable est la variation des coefficients de rebouclage du modulateur afin de maintenir la même fonction de transfert de signal (STF) et la même fonction de transfert de bruit pour chaque fréquence centrale, f_0, de l'ADC. Le fait que les coefficients rebouclage doivent être réglés pour chaque fréquence centrale complique considérablement l'architecture du modulateur. Cela entraîne une très grande consommation d'énergie de 750 mW pour une plage d'accord de 1 GHz dans [5], un SNR plutôt faible de 40 dB avec une bande passante de 1 MHz pour une plage de réglage à 1.2 GHz [2] ou une plage d'accord très limitée de 40 MHz dans [1]. Dans ces architectures, illustrées à la Fig. 1, la fréquence d'échantillonnage fréquence, f_s, est fixe, donc toute variation de la fréquence centrale, f_0, entraîne une variation de la fréquence centrale normalisée, f_0/f_s. Dans ce cas, tous les coefficients de rebouclage doivent être réglés pour compenser cette variation f_0/f_s et maintenir les mêmes fonctions de transfer du signal et du bruit pour toutes les fréquences centrales. Dans cet article [4], nous proposons l'architecture illustrée à la Fig. 2, où la fréquence centrale normalisée, f_0/f_s, est fixe. Dans ce cas, toute variation de la fréquence centrale, f_0, est liée à une variation de la fréquence d'échantillonnage, f_s, afin de conserver la fréquence centrale normalisée, f_0/f_s, égal à 1/4. Dans ce cas, tous les coefficients de contre-réaction sont fixes car f_0/f_s est fixe. En pratique, le fait de varier la fréquence d'échantillonnage, $f_s = 1/T_s$, modifie la délai de boucle normalisé, t_d/T_s, ce qui entraîne une modification de la fonction de transfert du bruit du modulateur. Comme illustré à la Fig. 2, afin de maintenir la même fonction de transfer du bruit sans régler les coefficients de contre-réaction, nous proposons de modifier le retard de boucle, td, afin de compenser toute variation de la boucle normalisée retard t_d/T_s [3]. L'architecture proposée est validée par la réalisation d'un modulateur sigma-Delta passe-bande de 2ème ordre dans une technologie CMOS 65 nm. Pour un rapport de suréchantillonnage de 64, le modulateur atteint un rapport signal-sur-bruit de 37 dB sur toute la plage de réglage de la fréquence centrale : 1.5 GHz. Ce rapport signal-sur-bruit est atteint pour une bande

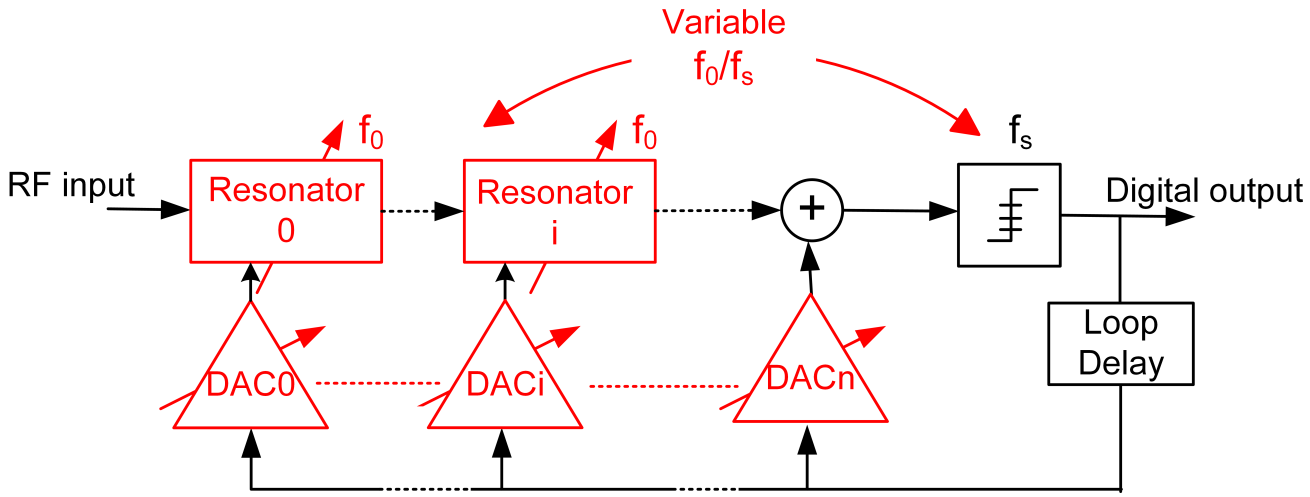

FIGURE 1 – A tunable bandpass $\Sigma\Delta$ ADC having a variable normalized center-frequency, f_0/f_s. All $\Sigma\Delta$ coefficients have to be tuned with f_0.

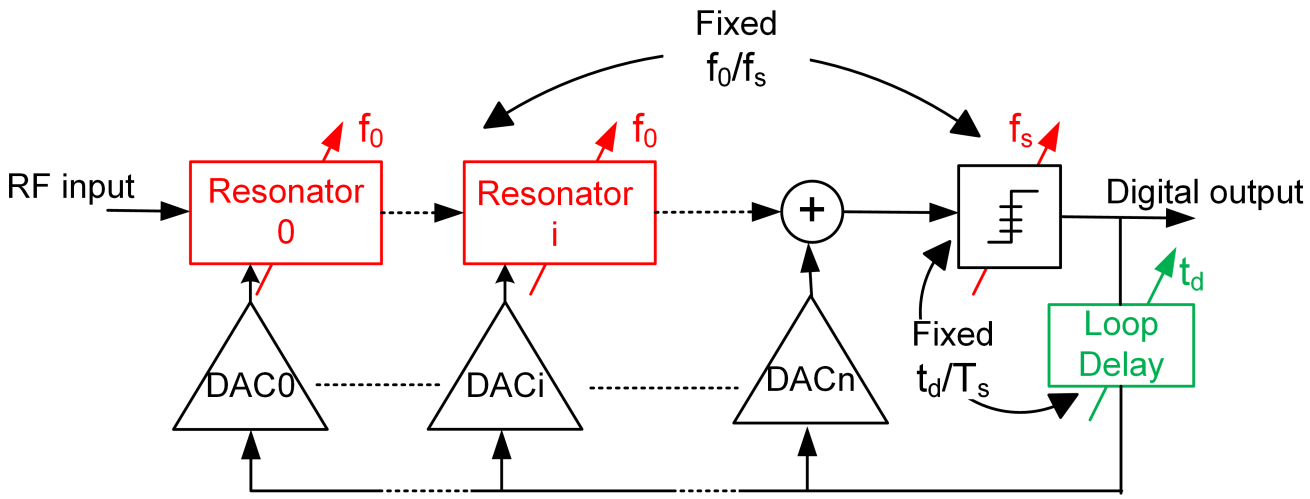

FIGURE 2 – The proposed architecture having a fixed normalized center frequency, f_0/f_s, and a fixed normalized loop-delay, t_d/T_s. All coefficients are fixed in the $\Sigma\Delta$ tuning range, Δf_0.

passante BW = 47 MHz à f_0 = 1.5 GHz et pour une bande passante BW = 93 MHz à f_0 = 3.0 GHz. Par rapport à l'état de l'art, la puce fabriquée a la plus faible consommation (13 mW), atteint la plus large plage de réglage (1.5 GHz) et la fréquence centrale la plus élevée (3.0 GHz).

4 RÉFÉRENCES BIBLIOGRAPHIQUES

[1] H. Chae and M. P. Flynn. A 69 dB SNDR, 25 MHz BW, 800 MS/s continuous-time bandpass $\Delta\Sigma$ modulator using a duty-cycle-controlled DAC for low power and reconfigurability. *IEEE Journal of Solid-State Circuits*, 51(3) :649–659, 2016.

[2] S. Gupta, D. Gangopadhyay, H. Lakdawala, J. C. Rudell, and D. J. Allstot. A 0.8–2 GHz fully-integrated QPLL-timed direct-RF-sampling bandpass $\Sigma\Delta$ ADC in 0.13 μm CMOS. *IEEE Journal of Solid-State Circuits*, 47(5) :1141–1153, 2012.

[3] A. Sayed, T. Badran, M.-M. Louerat, and H. Aboushady. A tunable bandpass sigma-delta ADC, 2016. US patent US10530385B2, Korean patent KR102317594B1, Chinese patent CN109952707A.

[4] A. Sayed, T. Badran, M.-M. Louërat, and H. Aboushady. A 1.5-to-3.0GHz tunable RF sigma-delta ADC with a fixed set of coefficients and a programmable loop delay. *IEEE Transactions on Circuits and Systems II : Express Briefs*, 67(9) :1559–1563, 2020.

[5] H. Shibata, R. Schreier, W. Yang, A. Shaikh, D. Paterson, T. C. Caldwell, D. Alldred, and P. W. Lai. A DC-to-1 GHz tunable RF $\Delta\Sigma$ ADC achieving DR$=$ 74 db and BW$=$ 150 MHz at $f_0 =$ 450 MHz using 550 mW. *IEEE Journal of Solid-State Circuits*, 47(12) :2888–2897, 2012.