

ARCHITECTURE DES SYSTÈMES INTÉGRÉS ET MICRO-ÉLECTRONIQUE

Greiner Alain

Auge Ivan
Bazargan-Sabet Pirouz
Bernardy André
Derieux Anne
Dromard Danielle
Dromard François
Encrenaz Emmanuelle¹
Joly Philippe
Louërat Marie-Minerve
Marzouki Meryem
Mehrez Habib
Paget Marie-Martine
Petrot Frédéric
Wajsbürt Franck

Professeur, UPMC

Maître de conférences, CNAM
Maître de conférences, UPMC
Maître de conférences, UPMC
Maître de conférences, UPMC
Maître de conférences, UPMC
Maître de conférences, UPMC
Maître de conférences, UPMC
Chargé de recherche, CNRS
Chargé de recherche, HDR, CNRS
Maître de conférences, HDR, UPMC
Maître de conférences, HDR, UPMC
Maître de conférences, UPMC
Maître de conférences, UPMC

ITA/IATOS

Chaput Jean-Paul
Faudemay Pascal
Fouque Nicole
Guittard Régine²
Hurgues Marie-Catherine
Penne Jean
Perrichon Chantal³

Ingénieur d'études, UPMC
Ingénieur de recherche, HDR, CNRS
Assistant ingénieur, CNRS
Secrétaire d'administration, UPMC
Adjoint administratif, UPMC
Ingénieur de recherche, CNRS
Ingénieur d'études, CNRS

Personnel temporaire

Aberbour Mourad
Bouyer Manuel
Desbarbieux Jean-Lou
Fenyo Alexandre
Houelle Alain
Jacomme Ludovic
Maroufi Walid
Thiénot Cédric
Vaucher Nicolas
Zerrouki Amal

Postdoc, UPMC
Ingénieur, CDD, UPMC
ATER, UPMC
ATER+ Postdoc, UPMC
ATER, UPMC
Postdoc, UPMC
Postdoc, UPMC
Postdoc, UPMC
Postdoc, UPMC
ATER, UPMC

Doctorants présents 80 % du temps au LIP6

Aboushady Hassan (Louerat MM. 1996)
Andriahantenaina Adrijean (Greiner A. 1999)
Bajot Yann (Mehrez H. 1997)
Caron Arnaud (Greiner A. 1997)
Coulon Emmanuel (Greiner A. 1998)
Dessouky Mohamed (Louerat MM. 1995)
Dumonteix Yannick (Mehrez H. 1996)
Glück Olivier (Greiner A. 1999)
Hommais Denis (Greiner A. 1995)
Khouas Abdelhakim (Derieux A. 1996)
Nguyen Tuong Pierre (Louerat MM. 1999)
Seyrat Claude (Faudemay P. 1996)
Tondre Nicolas (Faudemay, 1998)

Alves Barbosa Fabricio (Greiner A. 1996)
Avot Grégoire (Louerat MM. 1997)
Benabdenbi Mounir (Marzouki M. 1998)
Chotin Roselyne (Mehrez H. 1999)
Desbarbieux Jean-Lou (Greiner A. 1995)
Ducet-Bourbon Laurent (Marzouki M. 1997)
Durand Gwenael (Faudemay P. 1996)
Guerrier Pierre (Greiner A. 1997)
Ilponse Fabrice (Bazargan P. 1997)
Lintz Matthieu (Louerat MM. 1998)
Ruiloba Rosario (Faudemay P. 1997)
Spasevski Cyril (Greiner A. 1997)
Vuillemin Laurent (Bazargan P. 1996)

1. Mi-temps ANP, mi-temps ASIM
2. Mi-temps ASIM, mi-temps UFR 922
3. Partagée entre ASIM, ANP, SRC et RP

Doctorants présents moins de 80% du temps au LIP6

Bukovjan Peter (Marzouki M. 1996)	Stoica Alexandru (Greiner A. 1998)
Turier Arnaud (Amara A. 1996)	

Invités au LIP6

Hamacher Carl

Scherson Isaac

Professeur invité, Université de Queens (Canada)(juin 1998)

Professeur invité, Université d'Irvine Californie (USA) (janvier à juin 1997, avril-mai 1998, septembre 1998, décembre 1998 à février 1999, février-mars 2000)

PROSPECTIVE

Les enjeux scientifiques et techniques

La micro-électronique est omni-présente dans notre vie quotidienne. Le développement foudroyant de l'économie de l'information est largement conditionné par la capacité des industriels à maîtriser la conception des puces extrêmement complexes qui sont au cœur des équipements (téléphone mobile, automobile, électronique nomade, etc.). Or, les outils et métho-

des de conception actuels ne sont pas capables d'exploiter les densités d'intégration colossales permises par les procédés de fabrication (plusieurs centaines de millions de transistors sur une seule puce). Par ailleurs, les recherches dans ce domaine nécessitent des liens très étroits avec les grands industriels qui maîtrisent les technologies de fabrication.

Les atouts du LIP6

Le département ASIM du LIP6 est l'un des tout premiers centres de recherche européens dans le domaine de la CAO de circuit et systèmes intégrés. La visibilité internationale du département ASIM, et l'impact de ses travaux au niveau industriel sont attestés par la diffusion de la chaîne de CAO/VLSI ALLIANCE, la création en trois ans de trois "start-ups" dans le domaine de la micro-électronique par d'anciens chercheurs du département, et plus récemment la création,

en janvier 2000, d'un laboratoire commun entre le LIP6 et l'entreprise ST Micro-electronics.

Le département ASIM a développé des coopérations étroites avec de nombreux industriels, comme en témoigne le budget de recherche contractuelle des quatre dernières années, qui s'élève à plus de 5 MF par an. Les principaux partenaires industriels du département ASIM sont ST, BULL, PHILIPS, ALCA-TEL, THOMSON, ATMEL, le CNET et le CEA.

Un objectif ambitieux pour le LIP6

Compte-tenu de la demande extrêmement forte des industriels européens, nous croyons qu'il est possible de créer d'ici deux ans, dans les locaux de l'Université Pierre et Marie Curie un Centre Européen de Recherche en Micro-Electronique (CERME), orienté vers les méthodes et outils CAO de conception de systèmes intégrés. Il a vocation à être un des « pôles de compétences » proposés par le LIP6. Le CERME accueillera évidemment des chercheurs titulaires (Uni-

versité et CNRS), mais le financement sera assuré à 50 % par les industriels intéressés, sous forme d'une cotisation annuelle permettant au CERME de recruter des thésards, des chercheurs post-docs et des ingénieurs de recherche. Un tel centre fonctionnerait sur le modèle adopté pour le laboratoire commun ST-LIP6, créé en janvier 2000, qui a déjà permis de recruter 5 chercheurs sur contrat.

Valorisation de la recherche

Du point de vue de la valorisation des résultats de la recherche, le département ASIM souhaite poursuivre sa double politique de commercialisation (au travers de la création de « start-ups » ou la cession de licences d'exploitation) et de diffusion de logiciels libres (comme cela a été fait pour la chaîne de CAO AL-

LIANCE). L'expérience montre en effet que ces deux stratégies ne sont pas contradictoires. Le choix d'une stratégie dépend de la nature des résultats, de la maturité de l'éventuel marché concerné par ces résultats, et évidemment des préférences personnelles des chercheurs impliqués.

Les axes de recherche

Les activités de recherche du département ASIM s'organisent autour de sept projets. Cinq d'entre eux portent sur les outils et méthodes de conception pour circuits et systèmes intégrés, et s'intègrent naturellement dans les objectifs de recherche proposés pour le CERME. Le sixième est un projet d'architecture de

machine parallèle de type "grappe de PCs" qui s'appuie sur des composants VLSI développés par le LIP6. Le septième projet porte sur les techniques d'indexation de documents multimedia. Pour chaque projet, ne figurent que les noms des chercheurs titulaires ou recrutés sur contrat à durée illimitée.

Conception de systèmes intégrés

Les systèmes intégrés sont des puces de très haute complexité contenant du matériel et du logiciel embarqués. Un SoC (System on Chip) est typiquement composé d'un ou plusieurs cœurs de microprocesseur, d'un ou plusieurs coprocesseurs matériels spécialisés, de mémoire, et éventuellement de quelques composants analogiques. On les trouve dans des appareils

grand public, qui ne sont pas des ordinateurs, tels les télévisions numériques, les téléphones, cellulaires, les véhicules automobiles...

Le département ASIM a développé plusieurs techniques, incluant différents algorithmes de synthèse d'architecture pour coprocesseurs spécialisés, un environnement de simulation mixte matériel/logiciel

précis au cycle près, et un ensemble de générateurs paramétrables permettant la synthèse automatique des communications. Les questions qui se posent aujourd'hui portent sur différents aspects de la conception des systèmes intégrés :

- Définition d'une méthode de spécification du système intégré sous forme d'un graphe de tâches communicantes, qui permette à la fois la simulation et la synthèse.
- Aide au partitionnement matériel/logiciel par l'amélioration des techniques de simulation permettant une évaluation précoce des performances.
- Amélioration des algorithmes de synthèse des coprocesseurs, à partir d'une description en langage C.

Testabilité des systèmes intégrés

La problématique du test des systèmes intégrés est déterminée par le fait que l'on doit tester en même temps le système global et ses composants, puisque les composants élémentaires sont fabriqués en même temps que le système. La difficulté principale du test des SoC (System on Chip) porte sur la définition d'une méthode de test globale, alors qu'on a des composants hétérogènes, décrits à des niveaux d'abstraction différents, et provenant de sources multiples.

Un standard est en cours de définition pour l'encapsulation des composants, afin de définir les modes d'accès : il s'agit du standard IEEE P1500. C'est pourquoi nous concentrons nos travaux d'une part sur la testabilité des composants synthétisés et d'autre part sur la définition d'une architecture de test générique.

- Testabilité des composants :

L'objectif est de fournir une méthode permettant l'analyse de la testabilité initiale du composant, puis l'implémentation de solutions de testabilité, suivant un compromis coût/qualité du test. L'architecture du

- Exploration des possibilités offertes par un réseau commuté à routage dynamique en remplacement du bus système pour les communications « on chip ».
- Synthèse automatique des modules d'interface entre les coprocesseurs et le système de communication (bus ou réseau commuté)
- Développement d'une approche intégrant les étapes de synthèse et de placement/routage pour des circuits comportants plusieurs millions de portes logiques.

La caractéristique principale de ce projet est qu'il nécessite des compétences à la fois pointues et diversifiées dans le double domaine de l'architecture et de la CAO.

coprocesseur synthétisable fournie en entrée (au format VHDL) est ainsi transformée en une architecture testable, par ajout de structures de test. Les travaux sur ce thème, entamés au LIP6 en 1998, ont déjà permis de développer le système IDAT pour les parties opératives. À court terme (2-3 ans), ce système sera complété pour la prise en compte de la partie contrôle, et son intégration dans le système de synthèse de haut niveau UGH développé au LIP6.

- Test de systèmes intégrés :

L'objectif est de définir un mécanisme d'accès générique pour le test du système, et de développer des générateurs pour les différents éléments de ce mécanisme. L'architecture de test sera compatible avec le standard IEEE P1500. Elle doit être reconfigurable pour différentes sessions de test d'un même système, et adaptable à tout type de composant. Cette architecture vise à garantir une réelle indépendance vis-à-vis des fabricants de composants.

Vérification des circuits intégrés submicroniques

Les technologies de fabrication dites "fortement submicroniques" utilisées pour les systèmes intégrés autorisent la superposition de 6 couches de métal avec une distance inférieure à 0,25 micron et l'intégration de plusieurs dizaines de millions de transistors sur un même circuit. Avec ces technologies apparaissent de nouveaux problèmes liés principalement à la physique des interconnexions. Il faut donc modéliser de façon beaucoup plus fine des quantités de données beaucoup plus importantes.

- Dans les technologies submicroniques, la résistance intrinsèque des fils d'interconnexion n'est plus négligeable et les temps de propagation dans les fils d'interconnexion doivent être modélisés explicitement par les outils d'analyse temporelle statique (analyse formelle indépendante des stimuli).

- Par ailleurs, la diminution des distances entre les fils crée des couplages diaphoniques entre des signaux logiquement indépendants. La transition d'un signal peut perturber un signal voisin. Nous nous proposons de mettre au point des méthodes indépendantes des stimuli capables d'identifier les zones où ces phénomènes peuvent être critiques.
- La simulation se révèle impuissante à vérifier les protocoles de communications implantés dans les systèmes intégrés. Nous poursuivons donc les recherches sur les méthodes de preuve formelle, utilisant principalement les techniques de « model checking ».
- Enfin, l'augmentation constante du nombre d'éléments intégrés sur un circuit entraîne des temps de simulation prohibitifs. Les émulateurs matériels (machines constituées de plusieurs centaines ou

milliers de circuits programmables) sont capables d'accélérer le processus de la simulation logique de plusieurs ordres de grandeur. Le laboratoire LIP6 dispose d'un émulateur fourni par la société Meta-System. Après avoir utilisé ce matériel pour accélérer la simulation logico-temporelle, nous envisa-

geons de profiter de la puissance de calcul disponible pour accélérer d'autres applications telles que l'analyse temporelle statique, en tenant compte du temps de propagation dans les interconnexions ou en prenant en compte le couplage entre signaux.

Circuits analogiques et mixtes,

Si dans la plupart des systèmes électroniques, le traitement du signal est réalisé après numérisation, principalement pour des raisons de précision et d'immunité au bruit, la nature analogique et le temps continu des signaux physiques rendent impossibles l'élimination complète de la circuiterie analogique. Beaucoup de systèmes intégrés sont donc des circuits mixtes analogique-numérique. Malgré la faible surface occupée par les composants analogiques, les temps de conception sont élevés et la performance du système complet est souvent déterminée par ces interfaces analogiques. En effet, contrairement au domaine numérique où l'utilisation de bibliothèques de cellules précaractérisées réduit considérablement le temps de conception, dans le domaine analogique il est pratiquement impossible de stocker dans une bibliothèque l'ensemble des cellules susceptibles de couvrir les différentes applications. Les interfaces analogiques risquent donc d'être un sérieux goulot d'étranglement dans la conception des systèmes intégrés.

Une autre contrainte, est la nécessité de réaliser ces fonctions analogiques pour des procédés de fabrica-

tion optimisés pour la réalisation de circuits numériques (puisque les parties numériques représentent plus de 90 % de la surface du circuit).

C'est pourquoi le LIP6 vise le développement, en collaboration avec l'ENST, d'une méthode de génération automatique de modules analogiques paramétrés et portables d'un procédé de fabrication à un autre, mais dont les performances sont garanties pour chaque procédé cible. Nous visons en particulier les fonctions de conversion Analogique / Numérique de type Sigma-Delta qui représentent la technique la mieux adaptée pour les procédés de fabrication CMOS orientés numérique.

L'originalité de l'approche que nous proposons est la forte interaction entre la phase de synthèse (définition des caractéristiques électriques de chaque composant), et la phase de dessin des masques. Ainsi, la phase de synthèse peut prendre en compte des contraintes sur le dessin des masques et la phase de conception des masques calcule les valeurs réelles des capacités parasites.

Architectures spécifiques pour le traitement numérique,

Les activités de ce groupe portent sur l'étude d'architectures VLSI spécifiques aux algorithmes numériques à flots de données et concernent typiquement les applications de traitement du signal et de l'image. Ces recherches ne peuvent être conduites sans une maîtrise des algorithmes et des architectures de traitement arithmétique aussi bien en représentation virgules fixe que virgule flottante.

L'objectif principal est la recherche de performances en développant des accélérateurs matériels spécifiques, par une bonne adéquation entre l'algorithme et l'architecture. Un second objectif porte sur la réutilisabilité de ces "composants virtuels", ce qui implique des méthodes de conception basées principalement sur la générique des modèles et des architectures. Dans ce cadre, l'équipe a développé les outils et les bibliothèques lui permettant d'atteindre ces objectifs, en particulier l'outil GENOPTIM, commercialisé par la société AED.

Cette activité s'organise autour de quatre sous-projets:

- Développement d'un système sur puce pour une méthode de reconnaissance de formes incluant principalement un convolveur et un réseau de neurones de type RBF.
- Développement d'un processeur de traitement du signal (DSP) générique et spécifique à une application.
- Développement de méthodes d'optimisation des chemins de données arithmétiques par l'utilisation des structures arborescentes et les représentations redondantes.
- Développement d'un coprocesseur arithmétique à précision contrôlée implantant la méthode CES-TAC, en collaboration avec l'équipe CHPV du LIP6.

Machine parallèle MPC

Le projet MPC (pour Multi PCs) a démarré à l'Université Pierre et Marie Curie en janvier 1995. Ce projet vise la conception et la réalisation d'une machine

parallèle à très faible coût dont les nœuds de calcul sont des cartes de PC, communiquant entre elles par un réseau d'interconnexion haut débit et très faible la-

tence développé par le LIP6. Le réseau d'interconnexion de la machine MPC utilise des liens série à un Gigabit/s et la carte réseau FastHSL, commercialisée par la société Tachys Technologie qui est une start-up du LIP6.

- Au niveau logiciel, les recherches porteront sur l'exploitation de la plate-forme matérielle existante. Il s'agit en particulier de rendre utilisable au niveau applicatif la faible latence du réseau HSL, actuellement masquée par le coût des appels systèmes et par des couches de protocoles logiciels inadaptés à un réseau Gigabit.
- La seconde direction de recherche porte sur l'évaluation de nouveaux protocoles de communication bas-niveau pour les machines de type "grappes de

PCs". Ceci implique la conception d'une nouvelle carte réseau HSL à base de circuits programmables.

- La technologie de réseau HSL qui est au cœur de la machine MPC a trouvé un débouché industriel imprévu dans le domaine des commutateurs de réseau. Une évolution naturelle des recherches au niveau matériel porte donc sur les architectures de commutateurs ATM ou Gigabit Ethernet.
- La dernière direction de recherche porte sur la technologie de base: on souhaite valider la version à 2.5 Gbit/s du lien série HSL, et on vise la conception d'un module d'interface optique en technologie CMOS qui doit permettre de substituer la fibre au cuivre pour la liaison physique.

Indexation multimédia

Le groupe de recherche en indexation multimedia souhaite continuer à figurer parmi les principales équipes européennes travaillant sur le sujet de la segmentation temporelle des documents vidéo en améliorant les résultats actuels et en organisant des rencontres autour de ce thème, et parallèlement de conforter son rôle leader dans le développement du futur standard MPEG-7.

- Les outils d'indexation développés jusqu'à présent seront complétés par des travaux sur l'analyse du mouvement du corps humain dans un enregistrement vidéo 2D. Contrairement aux techniques existantes dans ce domaine qui ciblent surtout l'interprétation de la langue des signes, les applications de ces études porteront, en plus de l'indexation des contenus audiovisuels, sur l'aide à la production.

- Aux travaux sur la segmentation temporelle, s'ajoutera le développement d'un langage synthétique complet du montage audiovisuel pour définir un cadre formel à l'échange de données entre stations d'édition numériques, ou aux outils de personnalisation des contenus.
- De nouveaux outils de recherche d'informations par navigation seront étudiés à travers la définition d'interfaces d'accès reposant sur une représentation dynamique et personnalisée des métadonnées.
- Enfin, le groupe souhaite maintenir une coopération étroite avec la société Surf Technology, qui est issue du LIP6 et qui dispose d'un accord de licence avec l'Université et le CNRS sur plusieurs de ses résultats et brevets.

BILAN SYNTHÉTIQUE DES RECHERCHES

On trouvera ci-dessous les résultats les plus marquants obtenus par les chercheurs du département ASIM. Quatre « start-ups » ont été créées entre 1997 et 1999 par d'anciens chercheurs du département ASIM (Tachys, Avertec, AED et Surf Technology). Parallèlement, le département ASIM a poursuivi sa politique de diffusion de logiciel « libre » à travers le développement de la chaîne ALLIANCE. Le budget de contrats de recherche s'élève à près de 5 MF par an en moyenne, ce qui atteste de l'enracinement industriel du département ASIM. Le projet de machine parallèle MPC a abouti à une plate-forme

opérationnelle, et des plate-forme MPC sont aujourd'hui installées dans plusieurs universités françaises. Le groupe de recherche en indexation multimedia joue un rôle majeur dans la définition de la norme MPEG7. Cette recherche très appliquée demande un gros effort de réalisation et de prototypage, qui n'est pas contradictoire avec une politique active de publication. La bonne visibilité internationale des recherches menées au LIP6 en CAO de circuits et systèmes a abouti en janvier 2000 à la création du laboratoire commun ST-LIP6.

Prix "Jeunes chercheurs" Seymour Cray 98

Le prix Seymour Cray "jeunes chercheurs" 98 a été attribué à Karim Dioury et Anthony Lester pour leurs travaux sur les outils et méthodes de vérification des circuits intégrés CMOS submicroniques. Ces deux chercheurs du LIP6 sont également les fondateurs de la société AVERTEC, créée en 1998 pour commercialiser ces résultats.

K. Dioury et A. Lester ont bénéficié de la plate-forme de développement constituée par la chaîne de CAO-VLSI ALLIANCE, qui leur a fourni un environnement d'expérimentation "en grandeur réelle". Le principal apport d'Anthony Lester réside dans l'identification formelle des éléments mémorisants au cours du processus d'abstraction fonctionnelle. Karim

Dioury a proposé une méthode hiérarchique multi-niveaux pour la vérification temporelle, qui permet de prendre en compte les résistances des fils d'interconnexion. BULL a utilisé avec succès l'analyseur temporel HiTAS pour vérifier un circuit de 27 millions de transistors.

Cette distinction montre que, dans un domaine de recherche très appliquée, il est important de pousser la recherche jusqu'au prototypage et à l'expérimentation en grandeur réelle. Le fait que les deux lauréats soient les fondateurs de la société AVERTEC prouve également que qualité scientifique et valorisation industrielle ne sont pas contradictoires.

Diffusion internationale de la chaîne ALLIANCE

La chaîne de CAO-VLSI Alliance est un ensemble complet d'outils CAO pour la spécification, la conception et la validation de circuits VLSI CMOS. C'est également un ensemble de bibliothèques de cellules portables (c'est-à-dire multi-fondeurs), utilisable dans différents environnements CAO tels que Synopsys ou Cadence. L'ensemble est distribué gratuitement sous licence GPL (GNU General Public Licence), et utilisé dans plus de 200 Universités dans le monde, dont l'Université des Nations Unies.

La version 4.0 d'Alliance est disponible depuis février 2000. Cette nouvelle version introduit de nouveaux résultats de recherche, et fonctionne sur la majorité des plates-formes Unix (Linux, Solaris...) et sous Windows NT/98. Le nouveau site WEB Alliance a été créé en janvier 1999, et les statistiques montrent 250 visiteurs par semaine et plus de 1 200 téléchargements ont été effectués depuis que la version 4.0 est disponible.

Projet MPC et technologie HSL

Le projet MPC (pour Multi PCs) a démarré à l'Université Pierre et Marie Curie en janvier 1995. Ce projet vise la conception et la réalisation d'une machine parallèle à très faible coût dont les nœuds de calcul sont des cartes de PC, communiquant entre elles grâce à la technologie de réseau d'interconnexion haut débit et très faible latence HSL, développée par le LIP6. La carte réseau FastHSL est commercialisée par la société Tachys Technologie qui est une start-up du LIP6.

Après une phase d'intégration plus difficile que prévue, la plate-forme MPC du LIP6 est opérationnelle

depuis mars 2000. Elle fait l'objet d'une collaboration avec les équipes CALFOR et ANP du LP6. La machine MPC du LIP6 est aujourd'hui accessible en télé-exploitation à travers le réseau au moyen d'un simple browser WEB. Par ailleurs, des plate-formes MPC expérimentales sont aujourd'hui installées à Versailles (PRISM), Toulouse (CERT), Amiens (LARIA), Evry (INT), et un séminaire mensuel regroupe les cinq laboratoires concernés.

Bien que le réseau HSL et le routeur RCUBE aient été initialement conçus pour réaliser des réseaux d'in-

terconnexion rapides pour calculateurs parallèles, cette technologie est aujourd'hui utilisée et commercialisée par la société Tachys Technologies pour des applications de type télécoms: Cette techno-

Indexation Multimedia

Le groupe de recherche en indexation multi-média du LIP6 figure parmi les leaders au niveau mondial dans le développement du langage de MPEG-7, et il est actuellement chargé au niveau de ISO/ CEI JTC1/ MPEG du développement des outils de ce langage. MPEG-7 est la future norme de l'ISO dans le domaine de la description des contenus multimédia. La norme

Laboratoire Commun ST-LIP6

Les recherches dans le domaine de la CAO de circuits et systèmes intégrés représentent plus de la moitié de l'activité du département ASIM, et sont détaillés ci-dessous. Les résultats les plus importants portent sur les outils de vérification (analyse temporelle, abstraction fonctionnelle, analyse de la consommation électrique, etc.), sur les outils et méthodes de conception de systèmes intégrés (simulateur mixte matériel/logiciel, outil de synthèse d'architecture), sur les outils et méthodes de test des systèmes intégrés, et sur les outils de CAO analogiques

La qualité des résultats obtenus et publiés dans les principales conférences internationales du domaine, ainsi que la capacité du département ASIM à valoriser ces résultats ont incité la société ST Microelectronics à proposer au LIP6 la création, en janvier 2000 d'un

logie est idéale pour réaliser les « switching fabrics » qui sont au cœur des commutateurs ATM ou Gigabit Ethernet.

internationale devrait faire l'objet d'un projet final en octobre 2000, et être adoptée dans le courant de l'année 2001.

Ce groupe est à l'origine de la création de la société Surf Technology, qui dispose d'un accord de licence avec l'Université et le CNRS sur plusieurs de ses résultats et brevets.

laboratoire commun, entièrement consacré aux outils et méthodes de conception de systèmes intégrés.

Le laboratoire commun ST-LIP6 est partie intégrante du LIP6. Il s'agit d'une équipe d'une dizaine de chercheurs, composée pour moitié de chercheurs titulaires (UPMC ou CNRS), et pour moitié de chercheurs contractuels payés grâce au financement fourni par ST (2 MF par an pendant 5 ans). Tous les chercheurs appartiennent au LIP6 et travaillent dans les locaux de l'UPMC.

Tous les résultats de recherche obtenus sont la propriété de l'Université et du CNRS. En échange du financement apporté, ST bénéficie d'un accès précoce aux résultats de recherche et bénéficie d'une licence d'exploitation gratuite et non exclusive sur tous les résultats de recherche obtenus dans le cadre du laboratoire commun.

BILAN DÉTAILLÉ DES RECHERCHES

Conception de systèmes intégrés

FRÉDÉRIC PÉTROT, IVAN AUGÉ, EMMANUELLE ENCRENAZ, PIERRE GUERRIER,
LUDOVIC JACOMME

Les technologies submicroniques permettent aujourd'hui d'intégrer un système complet dans un unique composant VLSI. C'est grâce à cette capacité d'intégration que les applications portables ont pu se développer durant la dernière décennie. Le grand intérêt de ce type de composant est de supprimer les délais induits par les interfaces, et de diminuer considérablement la consommation d'énergie. Ces

systèmes sont généralement spécifiés sous formes de tâches communicantes s'exécutant concurremment. Certaines tâches sont réalisées en logiciel, sur un ou plusieurs processeurs embarqués, alors que les autres sont réalisées en matériel sur coprocesseurs spécifiques. Ces coprocesseurs dédiés à l'application sont usuellement obtenus par synthèse de spécifications séquentielles écrites en langage C ou en VHDL.

Coprocesseur pour la reconnaissance de l'écriture

Une première expérimentation a été menée dans le cadre du projet PHRASES qui avait pour but la définition d'un système intégré pour la reconnaissance des caractères manuscrits à la vitesse de l'écriture. Ce projet a été mené en collaboration avec le Laboratoire d'électronique de Philips et s'est appuyé sur un outil de synthèse d'architecture, ALMA, développé par I. Augé et J.-Y. Brunel. Cet outil utilise un langage ad-hoc, le langage A, qui permet de décrire des copro-

cesseurs spécialisés en introduisant des paramètres structuraux – largeur des bus, taille des mémoires –, ce qui permet d'explorer différentes solutions architecturales aisément (Thèse J.Y.Brunel, 1996). La solution architecturale retenue pour le projet PHRASES a abouti à la fabrication effective, sous forme de coprocesseur VLSI, d'un classifieur neuronal RBF (Thèse M. Hervieux, 1996).

Simulateur CASS

Un des enjeux majeurs est l'évaluation précoce des performances d'une architecture particulière. Il faut donc disposer d'outils de simulation permettant d'explorer l'espace des solutions. Il faut d'une part modéliser fidèlement le système dans son ensemble (matériel et logiciel) et d'autre part simuler, au cycle près, des minutes ou même des heures de fonctionnement en temps réel. Le simulateur CASS utilise un modèle d'automates communicants, des techniques d'ordonnancement statique et des modèles de simulation en langage C précompilés pour les principaux composants matériels du système. Ce simulateur permet d'atteindre des vitesses de simulation de 30 KCycles par seconde pour des systèmes comprenant une

vingtaine de composants. Ces performances permettent de simuler des applications logicielles complexes ainsi que leurs relations avec les coprocesseurs matériels: séquence de boot, gestion des interruptions, etc. Ceci représente un gain d'un facteur 7 par rapport aux réalisations industrielles qui sont à base de simulateurs événementiels (Hommais et al 1997, Pérot et al 1997, Pérot 1999). Afin de permettre la simulation conjointe avec des parties matérielles existantes décrites en VHDL, une méthode de traduction de ce langage vers le langage C a été définie par F. Pérot, F. Wajsburt et L. Jacomme. L'ensemble de ces travaux est supporté depuis 1997 par le projet européen MEDEA 403.

Architecture générique de communication

Le point clef de la conception des systèmes intégrés porte sur les communications: Le mécanisme de communication doit permettre la réutilisation de composants existants grâce à des protocoles de communications standardisés. De plus les communications entre processeurs constituent souvent le goulot d'étranglement qui limite les performances du système. Afin de faciliter l'exploration architecturale, A. Greiner, D. Hommais, A. Houelle, F. Pérot, N. Vaucher ont défini une architecture de communication générique autour du bus intégré PI-Bus (Pérot et al 1996, Brunel et al 1998). Afin d'utiliser ce bus dans des systèmes avec des contraintes temps réel,

F. Pérot et D. Hommais ont implémenté un algorithme d'allocation du bus prenant en compte la nature périodique ou aléatoire des requêtes (F. Pérot et D. Hommais, 2000). Cette architecture générique a été étendue pour respecter le standard international VCI (Virtual Component Interface) dans le cadre du projet ESPRIT COSY, en collaboration étroite avec PHILIPS (D. Hommais, A. Houelle, F. Pérot, N. Vaucher). Le résultat de ces travaux est la définition d'interfaces de communication matérielles génériques qui peuvent être utilisées dans des contextes très différents (J.Y.Brunel et al. 2000). Cette architecture générique a été validée par la conception d'un

décodeur M/JPEG, comportant un cœur de processeur MIPS R3000 et six coprocesseurs matériels spécialisés. Ce système est actuellement utilisé comme

Génération automatique de convertisseurs de protocoles

La réutilisation de composants existants (en particulier des cœurs de microprocesseurs ou processeurs de traitement du signal possédant leurs propres interfaces de communication) impose d'utiliser des modules matériel réalisant la traduction de protocole, notamment du protocole VCI vers n'importe quelle

Réseau commuté « on chip » SPIN

Les systèmes basés sur un unique bus ont une bande passante intrinsèquement limitée, et le bus constitue le goulot d'étranglement. De même que les machines parallèles « classiques » tendent à remplacer le bus partagé par des réseaux multi-étages à commutation de paquets (c.f. le projet MPC du LIP6), les systèmes intégrés peuvent aussi bénéficier de cette technologie. Pierre Guerrier a conçu l'architecture SPIN et le rou-

Synthèse de haut niveau

La synthèse de coprocesseurs dédiés est un autre enjeu d'importance. Le chemin qui va de la spécification fonctionnelle à l'obtention du silicium s'appuie sur des outils de « synthèse de haut niveau ». Néanmoins l'expérience de nombreuses équipes a prouvé que les solutions « presse-bouton » ne donnent pas des implémentations satisfaisantes en terme de rapport performance/coût. L'outil UGH (I. Augé et

Traducteur VHDL universel

La réutilisabilité des composants décrits en langage VHDL synthétisable (comme ceux générés par l'outil UGH) est un objectif très important dans le domaine de la conception des systèmes intégrés. Cette réutilisation est compliquée par le fait que chaque outil de synthèse impose son dialecte VHDL. Pour résoudre cette difficulté L. Jacomme a proposé et réalisé un traducteur universel permettant de transcrire une description VHDL quelconque vers n'importe

Placement/routage de très gros circuits

Le placement et le routage de très gros circuits comportant plusieurs millions de portes logiques imposent une approche hiérarchique de façon à réduire la complexité. J.P. Chaput, A. Caron et A. Greiner ont développé une méthode de partitionnement et de placement hiérarchique de très grosses net-lists. L'originalité de cette approche est d'utiliser les informations disponibles sur les flux d'information dans le circuit, par des techniques de coloriage de graphes orientés. La méthode, initialement proposée pour optimiser le placement sur de grosses matrices FPGA, peut être étendue aux circuits ASIC. (A. Caron et al. 1998) J.-P. Chaput et A. Greiner se sont également intéressés au problème du routage de ces très gros circuits, dans un contexte où on dispose de grand nom-

support du cours de conception de systèmes intégrés dans le cadre du DEA ASIME (A. Greiner, D. Hommais, F. Petrot)

autre protocole de bus. E. Encrenaz, A. Greiner et C. Spasevski ont démarré en 1999 l'étude d'une méthode de génération automatique de ces convertisseurs, en s'appuyant sur des méthodes formelles de transformation d'automates.

teur intégré RSPIN a été développé par A. Andriahantenaina, A. Greiner et P. Guerrier. Afin d'assurer à l'utilisateur une interface proche de celle d'un bus, ces travaux utilisent également VCI comme couche protocolaire intermédiaire. Les performances espérées permettent de concevoir des applications intégrées à très hautes performances. (Guerrier et al 2000)

al 1997), développé dans le cadre du projet COSY, demande à l'utilisateur de fournir une ébauche de l'architecture matérielle, et à partir de cette ébauche et du comportement de haut niveau synthétise le coprocesseur. L'originalité de la méthode repose sur la capacité, héritée d'ALMA, de prendre en compte les caractéristiques temporelles exactes de la partie opérative (I. Augé et al 1998).

quel outil commercial. La méthode de traduction repose sur une analyse formelle de la sémantique VHDL permettant de garantir que la synthèse est conforme à la sémantique du langage (Thèse Jacomme 1999, Jacomme et al 1998, Jacomme et al 1999). Une étude préliminaire visant à accepter des comportements décrit en C est en cours (I. Augé, L. Jacomme, F. Pétrot).

bre de niveaux d'interconnexion (sept ou huit couches dans les procédés de fabrication les plus avancés). Cette étude a suscité le développement d'une nouvelle bibliothèque de cellules portables SXLIB, permettant le routage « over cell » (A. Greiner, F. Wajsburt)

Testabilité des circuits et systèmes intégrés

MERYEM MARZOUKI, WALID MAROUFI,

Les travaux de ce groupe de recherche, initialement tournés vers le test des circuits numériques ont évolué

Partitionnement en vue du test

O. Florent a développé une méthode de test des circuits intégrés, basée sur un découpage structurel peu recouvrant (Thèse O. Florent 1998). Cette étude se place dans le cadre de circuits possédant des chemins de "scan-path", des structures d'auto-test intégré, et éventuellement une architecture "Boundary-scan". Dans ces circuits, on trouve des blocs issus de bibliothèques ou de fabricants différents, ce qui ne permet

Auto-test des circuits numériques

Une approche de plus en plus utilisée pour le test est d'inclure une circuiterie spécifique permettant de rendre le circuit auto-testable. Cette technique nécessite la mise en oeuvre de générateurs internes de vecteurs de test et de circuits d'analyse des résultats (H. Re-

Sûreté de fonctionnement

Une étude concernant la sûreté de fonctionnement a été menée en coopération avec le CEA-DAM sous la responsabilité de H. Mehrez (thèse C. Quenesson 1997). L'idée est d'intégrer dans les circuits les mécanismes de détection de pannes pouvant se produire

Test de circuits analogiques

Pour les circuits analogiques, les vecteurs de test dépendent de la nature du circuit à tester. Il est donc impossible de développer un générateur automatique de vecteurs de test pour tous les types de circuits. A. Derieux et H. Khouas ont attaqué le problème de l'optimisation automatique de jeux de vecteurs de test pré-existant. Un simulateur de fautes permet le classement des tests et l'élimination des tests redondants ou des tests qui ne détectent pas de fautes. Comme les

Synthèse de haut niveau en vue de la testabilité

La synthèse de haut niveau en vue de la testabilité permet d'introduire des caractéristiques de testabilité dans le circuit dès les premières étapes de sa conception, permettant un gain en terme de surface additionnelle et de performances. La synthèse en vue de la testabilité de parties opératives de coprocesseurs spécialisés est effectuée par transformation de l'étape d'allocation en une étape d'allocation en vue de la testabilité. Une méthode basée sur la recherche de compromis coût/qualité du test a été définie et implémentée dans l'outil IDAT, qui prend en entrée une description VHDL du circuit au niveau RTL, sans nécessiter d'information précise de synchronisation. L'outil produit en sortie une description de la partie opérative, en langage VHDL également, rendue testable par adjonction de structures de test. L'outil est in-

vers le test des composants analogiques et vers le test au niveau système.

pas de maîtriser le choix des structures de test. Ce travail propose un découpage du circuit autour de ses structures de test en unités testables indépendantes de complexité raisonnable vis à vis des outils de génération de vecteurs de test. Un prototype logiciel a été réalisé, s'appuyant sur la chaîne ALLIANCE et sur le générateur de vecteurs de test commercial HITEST (A. Derieux, O. Florent).

jouan et al. 1997, thèse H. Rejouan 1998). La génération déterministe, ou quasi-déterministe peut être réalisée par l'implémentation soit d'automates finis, soit d'automates cellulaires (H. Mehrez, H. Rejouan).

pendant le fonctionnement réel (C. Quenesson et al 1996). la thèse de C. Quenesson propose une méthode et un outil permettant d'évaluer le taux d'intégrité d'une architecture redondante (H. Mehrez, C. Quenesson).

valeurs analogiques sont imprécises et avec tolérances, une fonction de probabilité de détection des fautes permet de quantifier le degré de détection possible d'une faute donnée (A. Khouas et al. 2000). Pour réduire la quantité de tests à effectuer et ainsi le coût du test de production, un module d'optimisation des tests de production basé sur la fonction de probabilité de détection des fautes a été implémenté.

teractif, et considère les spécifications pondérées par le concepteur sur le degré de testabilité souhaité (P. Bukovjan et al., 1998, 1999 et 2000). L'outil permet la testabilité suivant trois méthodologies de test possibles: insertion de points de test, scan partiel ou total, auto-test intégré (M. Marzouki, P. Bukovjan). L'outil IDAT suppose l'existence d'une bibliothèque de générateurs de structures testables. La création d'une telle bibliothèque a été entamée depuis 1999, ainsi que l'immersion d'IDAT dans le système de synthèse de haut niveau UGH développé au LIP6 (L. Ducerf-Bourbon et al., 2000). La suite de ces travaux concerne la synthèse en vue de la testabilité de parties contrôles, et la génération de plan de test, à implanter dans le circuit à synthétiser sous forme de contrôleur de test global. Ces travaux donneront lieu au dévelop-

pement du système TACOS, extension de l'outil IDAT (M. Marzouki, L. Ducerf-Bourbon).

Testabilité des systèmes discrets

En conception de systèmes testables, le groupe s'est intéressé d'abord aux systèmes discrets. Malgré l'intérêt croissant pour les systèmes intégrés sur une seule puce, la testabilité et la maintenabilité des systèmes électroniques discrets (formés de circuits, cartes et MCMs) revêt toujours une importance capitale dans des domaines comme l'avionique ou les transports terrestres. Une méthode d'analyse de testabilité et de conception de tels systèmes testables a été développée (W. Maroufi et al. 1997 et 1998). Cette méthode a été mise en oeuvre dans l'outil STA (Thèse W. Maroufi,

1999). À chaque niveau (circuit, MCM, carte, système global), des stratégies de test sont proposées et des décisions sont prises de façon interactive entre l'outil et l'utilisateur. Une stratégie d'évaluation de la testabilité de cartes, de MCMs et éventuellement de systèmes intégrés est aussi proposée et intégrée dans la méthode. Des passerelles vers des outils de génération de structures de test, d'analyse de testabilité au niveau circuit, de synthèse en vue du test ou de synthèse tout court, assurent l'aspect modulaire de la méthode (M. Marzouki, W. Maroufi).

Testabilité des systèmes intégrés

Les travaux en conception de systèmes intégrés testables bénéficient de l'expertise acquise à la fois en synthèse en vue de la testabilité de circuits, et en conception de systèmes discrets testables. L'architecture proposée est un mécanisme d'accès pour le test à travers le système, qui permet d'accéder aux entrées/sorties des composants du système (IP cores) à partir des entrées/sorties primaires du système intégré (Maroufi et al. 2000, Benabdenbi et al. 2000). Ce mécanisme est constitué d'un bus de largeur N et de plusieurs CAS (Core Access Switch), chaque IP core étant équipé de son propre CAS. Le CAS est un simple routeur qui permet de sélectionner et d'aiguiller les N entrées/sorties du CAS vers les P entrées/sorties du composant élémentaire. Un registre d'instruction permet de configurer cet aiguillage. Le CAS possède

trois modes de fonctionnement: le mode configuration, le mode contournement (bypass) et le mode test. Ce mécanisme permet, entre autres, de connecter les différentes chaînes de scan des composants du système de façon à équilibrer leurs longueurs. Selon les sessions de test, ces connexions peuvent être reconfigurées pour optimiser le temps de test (M. Marzouki, W. Maroufi, M. Benabdenbi).

Les travaux en synthèse en vue de la testabilité et en conception de systèmes intégrés testables ont été menés dans le cadre du projet européen MEDEA-AT403. Ils se poursuivent en partie dans le cadre du laboratoire commun LIP6-STMicroelectronics nouvellement créé.

Vérification des circuits intégrés submicroniques

PIROUZ BAZARGAN-SABET, EMMANUELLE ENCRENAZ, MARIE-MINERVE LOUËRAT

L'amélioration continue des technologies d'intégration permet, aujourd'hui, de rassembler plusieurs dizaines de millions de transistors sur une puce. On

s'intéresse ici aux outils et méthodes de vérification « bas niveau » en fin de conception.

Simulateur ASIMUT

Un des maillons importants de la vérification est la simulation logique. Dans le cadre de la chaîne de conception Alliance, P. Bazargan, J. Dunoyer et H.N.Vuong ont développé le simulateur Asimut. Il s'agit d'un simulateur multi-langage qui accepte des modèles décrits par un sous-ensemble du langage de description VHDL ou en langage C, avec ou sans ca-

ractérisation temporelle. Les équations logiques des descriptions VHDL sont représentées par des BDD (Binary Decision Diagram). La thèse portant sur l'étude et le développement de ce simulateur a été soutenue par H.N. Vuong en 1997 et a fait l'objet de plusieurs publications internationales (H.N. Vuong - 1996).

Partitionnement automatique en vue de la simulation parallèle

L'accélération de la simulation logique passe par la parallélisation et la distribution de la simulation sur un réseau de machines. Le circuit à simuler est découpé en plusieurs sous-circuits et chaque sous-circuit est pris en charge par une machine. La performance de la simulation distribuée ainsi obtenue dépend en grande partie de la qualité du découpage. Une technique de

découpage basée sur la duplication de certaines parties du circuit afin de réduire le nombre de connexions a été développée par P. Bazargan et A. Guettaf. Elle a fait l'objet de plusieurs publications internationales (A. Guettaf - 1998).

Utilisation d'un émulateur pour la simulation logico-temporelle

L'émulation représente une solution alternative pour accélérer la simulation des circuits intégrés. Il s'agit de transposer le circuit sur une machine spécialisée, un émulateur, composée de circuits programmables. Malheureusement, cette technique ne permet pas de simuler les délais des portes. La possibilité de l'utilisation d'un émulateur en vue de la simulation logico-

temporelle fait l'objet de la thèse de L. Vuillemin, sous la direction de P. Bazargan. Une partie de cette étude a été publiée dans une conférence internationale (L. Vuillemin - 2000). Dans le cadre de cette étude le laboratoire LIP6 coopère avec la société Meta-Systems, qui a installé un émulateur dans les locaux du laboratoire.

Simulation par événements avec prise en compte des formes d'onde

L'intégration de plus en plus fréquente de parties analogiques à l'intérieur de circuits numériques pose un autre problème. Il s'agit de la vérification de l'interface numérique-analogique. Pour valider le bon fonctionnement des parties analogiques il est indispensable de simuler de façon précise la partie numérique, en modélisant les formes d'onde. L'objet de

la thèse de N. Abadallah, dirigée par P. Bazargan et soutenue en 1998, est le développement d'une méthode de simulation par événements pour des circuits numériques qui s'appuie sur un modèle d'évènement non-instantané. Cette méthode a fait l'objet de plusieurs publications internationales (N. Abdallah - 1997).

Evaluation probabiliste de la consommation

L'explosion du marché des appareils portables a mis l'accent sur l'importance de la consommation électrique des circuits VLSI. P. Bazargan et J. Dunoyer ont proposé une approche probabiliste pour l'évaluation de la consommation, c'est-à-dire une méthode formelle qui permet un calcul indépendant des stimuli. D'un côté, en utilisant les délais de propagation dans les portes, on évalue la probabilité qu'un signal prenne la valeur 1 (ou 0). De l'autre, on

calcule le nombre moyen de transitions des signaux par cycle. L'exactitude de ces calculs dépend de la prise en compte correcte des corrélations entre les signaux. La thèse soutenue en 1999 par J. Dunoyer a été financée par un contrat avec le Centre National d'Etudes des Télécommunications (CNET). Le développement de cet outil a fait l'objet de plusieurs publications internationales (J. Dunoyer 1996, 1997, 1998).

Analyse de la diaphonie

Du fait de l'augmentation du nombre de couches d'interconnexions, le problème du couplage capacitif entre les fils devient de plus en plus critique. F. Ilponse a démarré en 1998 sous la direction de P. Bazargan, une thèse sur l'évaluation du bruit induit sur un fil lorsque un signal dans le voisinage de ce fil

subit une transition. Ce bruit est dû à l'existence d'une capacité de couplage entre des signaux voisins et logiquement indépendants. La diminution des distances entre les fils dans les technologies sub-microniques a tendance à accentuer ce phénomène. (F. Ilponse - 1999).

Analyse temporelle statique

L'analyse statique des délais permet de vérifier si un circuit respecte les contraintes de fréquence de fonctionnement. L'avantage d'une analyse statique est qu'elle ne nécessite pas de stimuli. G. Avot, K. Dioury, A. Greiner, et M.-M. Louerat ont poursuivi les recherches dans ce domaine. La thèse de K. Dioury, soutenue en 1998, propose une méthode de traitement hiérarchique qui permet de maîtriser la complexité liée au grand nombre de transistors contenus dans les circuits actuels. Ces méthodes ont fait l'objet de plusieurs publications internationales (K. Dioury 1997, 1998, 1999, 2000). Par ailleurs, dans les technologies actuelles, fortement sub-microniques, les délais des interconnexions sont tout aussi impor-

tants que les délais de propagation à travers les portes. Aussi, les fils d'interconnexion sont-ils modélisés, comme un réseau de résistances-capacités. De même, dans les technologies sub-microniques, la propagation d'une transition à travers une porte peut être perturbée par la transition d'un signal voisin à cause des capacités de couplage. La prise en compte de ces phénomènes fait l'objet de la thèse de G. Avot et a été publiée dans des conférences nationales (G. Avot 1999). La technologie d'analyse statique hiérarchique mise au point dans l'outil TAS n'a pas d'équivalent. Elle a été transférée à la société AVERTEC, start-up issu du laboratoire LIP6, à travers une licence industrielle.

Abstraction fonctionnelle

La plupart des outils de vérification s'appuient sur une représentation du circuit qui est un réseau de portes. Pour obtenir ce réseau, il faut partir du dessin des masques, et utiliser un outil d'abstraction fonctionnelle. Plusieurs études ont été réalisées sur ce point. La

première s'applique aux circuits en technologie AsGa et se base sur la reconnaissance de formes pour retrouver les formes préalablement décrites dans une bibliothèque de formes. L'avantage de cette technique est qu'elle permet de vérifier en même temps la léga-

lité des formes utilisées du point de vue électrique. Une thèse portant sur cette technique a été soutenue par P. Rémy en 1998, sous la direction de A. Greiner. La thèse de J.-B. Guignet, soutenue en 1998, propose également l'utilisation de la technique de reconnaissance de formes mais dans le cas des circuits CMOS où l'on peut rencontrer une grande diversité de schémas. Ainsi, dans le cas des circuits CMOS, le problème se situe dans la description de la bibliothèque de formes. Le langage Grl, proposé par J.-B. Guignet, apporte au concepteur la possibilité de décrire les formes à reconnaître de manière hiérarchique et récursive. Dans le cas des circuits CMOS, une autre

technique ne nécessitant pas de bibliothèque de formes a été étudiée et mise au point par P. Bazargan, A. Greiner et A. Lester. En partant des grilles des transistors, on identifie les conditions de mise à 1 et à 0 de chaque signal. Cette étude a été soutenue par des contrats européens (MEDEA). Par ailleurs, cette technique a fait l'objet d'une licence industrielle cédée à la société Avertect. La thèse de A. Lester sur ce sujet a été soutenue en 1999. Cette étude a été publiée dans plusieurs conférences nationales et internationales (A. Lester 1997, 1998).

Circuits analogiques et mixtes

MARIE-MINERVE LOUËRAT, ANNE DERIEUX

Le développement de bibliothèques de cellules ou de macro-cellules indépendantes du procédé de fabrication reste un problème mal résolu par les chaînes de CAO commerciales pour les circuits numériques. Les technologies actuelles qui permettent d'intégrer sur le même circuit des composants analogiques et numériques accentuent le problème en faisant apparaître le

besoin de conception de circuits d'interface mixte analogiques-numériques pour lesquels il n'y a pas d'outil de CAO appropriés. En réponse à ce problème, nous avons conçu la chaîne d'outils TANIS (Tools for ANALog Integrated Systems) permettant la génération automatique de modules analogiques paramétrés et portables.

Dessin de masques procédural avec estimations de parasites: CAIRO

La chaîne ALLIANCE, développée par le LIP6 depuis une dizaine d'années, propose une méthode de dessin symbolique sur grille fixe pour les circuits numériques CMOS qui assure la portabilité technologique au niveau du dessin des masques, avec des performances voisines de celles obtenues par une approche optimisée.

M. Dessouky, M.-M. Louërat et A. Greiner ont étendu cette approche aux circuits analogiques en développant un langage original CAIRO qui, en manipulant des composants élémentaires déformables permet de générer les masques de fabrication. CAIRO permet de décrire le dessin des masques d'un circuit analogique à partir du schéma dimensionné en transistors, alors que les dimensions des transistors sont des paramètres génériques. Le langage CAIRO est un ensemble de fonctions C. Il utilise la technique de

dessin symbolique sur grille fixe et possède des fonctions originales d'optimisation du facteur de forme d'un bloc analogique en fonction de contraintes externes. CAIRO possède une bibliothèque de modules élémentaires complètement paramétrables (transistors, paires différentielles, matrices de capacités). À l'aide de ces modules, le concepteur décrit de manière hiérarchique les masques pour une topologie donnée (Dessouky et al. 1999). Depuis 1999, CAIRO a été étendu de façon à fournir des informations prévisionnelles sur les capacités parasites de diffusion et de routage résultant d'un facteur de forme particulier du circuit. Ces informations peuvent être utilisées dans l'outil de synthèse qui est responsable du dimensionnement électrique des composants (Dessouky et al. 2000).

Synthèse analogique avec prise en compte des parasites: COMDIAC

Une collaboration avec J. Porte de l'ENST a démarré en 1997 pour mettre au point des générateurs de fonctions analogiques de base allant des spécifications jusqu'au dessin des masques. L'étape de synthèse permet de dimensionner automatiquement les transistors et capacités pour une topologie fixée. Elle est basée sur des équations de synthèse spécifiques pour chaque schéma, et utilise les informations sur les

capacités parasites calculées par CAIRO (Dessouky et al. 1999). Un premier générateur a été finalisé, il s'agit de l'amplificateur simple à transconductance (OTA). Des simulations électriques après placement/routage ont montré que les performances obtenues par le circuit généré avaient été parfaitement prévues par les outils de conception (Dessouky et al. 2000).

Modulateur Sigma-Delta en mode courant et temps continu

M.M. Louërat et H. Aboushady ont démarré en 1996, dans le cadre d'une convention de coopération avec le département électronique de l'ENST, une re-

cherche sur la synthèse de fonctions d'interfaces mixtes analogiques-numériques. Le point de départ est une spécification définissant les paramètres fonction-

nels globaux (type vitesse, consommation). Le résultat est un schéma dimensionné en transistors. On a choisi des convertisseurs Sigma/Delta en mode courant, en technologie CMOS numérique standard (Oliaei et al. 1997, Oliaei et al. 1998, Aboushady et al. 1999). Un premier circuit (modulateur sigma-delta du

Modulateur Sigma-Delta à très basse tension

M. Dessouky et M.-M. Louërat ont démarré en 1997 une coopération avec Andreas Kaiser de l'IEMN dans le but de démontrer l'efficacité de l'approche CAIRO et COMDIAC à travers un circuit de pointe, en technologie numérique standard. Le circuit choisi est un modulateur delta-sigma à capacités commutées du troisième ordre, fonctionnant à très basse tension (Dessouky et al. 1999). Le circuit a été conçu en utilisant une approche descendante s'appuyant sur les outils de CAO existant dans TANIS. Il a été fabriqué

Filtre à capacités commutées

M. Lintz a commencé sa thèse en 1998 pour mettre en œuvre la conception couplée (synthèse et placement/routage) pour des fonctions analogiques intervenant dans les interfaces analogiques-numériques. Un premier travail a été mené en coopération avec

Introduction d'une fonction de routage automatique dans CAIRO

Si l'outil CAIRO apporte une solution au problème de la portabilité technologique, il faut signaler cependant que le routage est actuellement procédural, c'est à dire à la charge du concepteur. Une bibliothèque de fonctions aide le concepteur à décrire le routage, mais il reste beaucoup de travail pour automatiser le routage

TANIS : Tools for Analog Integrated Systems

Un travail conséquent a été fait par M.M. Louërat, M. Dessouky, M. Lintz et P. Nguyen-Tuong en collaboration avec J. Porte pour rendre utilisables par d'autres concepteurs analogiciens ces outils de CAO. Ceci s'est traduit par la création de la chaîne de CAO appelée TANIS qui intègre les outils COMDIAC et CAIRO, ainsi qu'une bibliothèque de générateurs

troisième ordre, en mode courant, en temps continu) a été envoyé fin 1998 en fabrication chez AMS en technologie 0.6 μ mais une erreur de fabrication a rendu le circuit inutilisable. Une nouvelle étude est en cours pour un envoi en fabrication vers la fin du premier semestre 2000.

par Alcatel-Mietec en technologie 0.35 μ au cours du premier semestre 1999. M. Dessouky a développé une carte d'interface permettant de polariser et de mesurer le circuit fabriqué avec A. Kaiser. Il a effectué une ensemble de mesures au cours du deuxième semestre 1999 à l'IEMN qui ont montré d'une part que le circuit avait des performances meilleures que les circuits réalisés par d'autres équipes et d'autre part que ces performances avaient été prévues de manière très satisfaisante. (Dessouky et al. 2000).

J. Porte pour concevoir un filtre à capacités commutées des spécifications électriques jusqu'au dessin des masques. M. Lintz a ainsi été amené à concevoir un générateur de matrices de capacités qui a déjà été utilisé dans plusieurs autres circuits.

ge et le rendre robuste à toutes les déformations possibles des composants. C'est pourquoi P. Nguyen-Tuong a démarré en 1999, dans le cadre de sa thèse, une étude pour spécifier un routeur automatique pour circuits mixtes analogiques-numériques, s'appuyant sur la technique de dessin symbolique de CAIRO.

(synthèse et dessin de masques). Une procédure d'installation des outils a été développée par P. Nguyen-Tuong. TANIS a été présentée à l'University Booth de la conférence DATE 2000 par M. Lintz et P. Nguyen-Tuong.

Architectures spécifiques pour le traitement numérique

HABIB MEHREZ, MOURAD ABERBOUR

Les objectifs principaux de ce groupe de recherche sont la réutilisation des architectures existantes (« Design Reuse »), la généricité dynamique, la portabilité technologique et informatique en dotant ces architectures de performances élevées. Pour atteindre

Environnement GENOPTIM

Cet environnement permet de créer des générateurs de blocs fonctionnels en utilisant le concept de "bibliothèque virtuelle" sans tenir compte de la technologie cible et de ses caractéristiques électriques et topologiques. GENOPTIM permet de générer auto-

ces objectifs, il a fallu développer une nouvelle méthode de conception qui s'applique particulièrement aux architectures dédiées au traitement numérique, qui s'est concrétisée avec l'environnement de développement GENOPTIM.

matiquement les différentes vues pour la conception en tenant compte des caractéristiques réelles de la technologie utilisée ainsi que de la plate-forme de CAO choisie [thèse de A. Houelle 97]. Grâce au placement optimisé des cellules, qui provient généra-

lement d'une expérience acquise par le concepteur développeur du générateur, GENOPTIM est capable d'évaluer avec une bonne précision les chemins critiques du bloc combinatoire en se basant sur un module

Bibliothèque de générateurs d'opérateurs arithmétiques

L'équipe a développé, grâce à l'outil GENOPTIM, une bibliothèque très riche de générateurs d'opérateurs arithmétiques optimisés en performance et en surface. [Aberbour et al, 98] Cette bibliothèque permet des temps de développement très courts pour des unités arithmétiques pouvant être insérées aussi bien dans les processeurs à usage universel que dans les architectures à flots de données. [Thèse de N. Vaucher 97]. La bibliothèque développée concerne les opérations les plus usuelles (addition, soustraction, multi-

Architecture pour la reconnaissance de formes

Dans le cadre de notre activité sur l'Adéquation Algorithme Architecture, l'équipe a mené, en coopération avec le CEA, et sous la responsabilité de H. Mehrez, un projet de développement d'un système "On-chip" pour la reconnaissance de formes s'appuyant sur une méthode développée, à Berkeley par Clark et al [Thèse Aberbour 99]. L'équipe a ensuite affiné ces algorithmes et a cherché à évaluer la possibilité d'une implantation matérielle et logicielle permettant des fonctionnements temps réel pour des

Arithmétique redondante

Les représentations arithmétiques redondantes permettent dans certains contextes, des gains en termes de performances, complexité et puissance consommée. Y. Dumonteix et H. Mehrez ont développé une méthode pour synthétiser de façon optimale les chemins de données arithmétiques. Un prototype logiciel en cours d'élaboration a nécessité le développement d'une bibliothèque d'opérateurs génériques d'addition et de multiplication avec les différentes combinaisons des représentations [Dumonteix 2000]. Un coprocesseur de DCT, utilisant l'ensemble des techniques étudiées, a été développé et a présenté des gains im-

Arithmétique Stochastique

H. Mehrez et Roselyne Chottin ont démarré en octobre 1999 un projet de collaboration avec le thème CHPV du LIP6 (J. Vignes, J.-M. Chesneaux et J. L. Lamotte). Ce projet concerne l'étude d'une architecture performante de processeur à précision contrôlée, implantant les concepts de l'arithmétique stochastique élaborés par le professeur J. Vignes. Les différentes méthodes proposées ont été mises en oeuvre dans le logiciel CADNA, développé par l'équipe CHPV. Des modèles de simulation des différents algorithmes sont en cours de développement afin de les affiner et en proposer la meilleure adéquation avec l'architecture.

DSP générique

Une autre voie de recherche concerne le développement d'un DSP générique de type VLIW optimisé

intégré d'analyse temporelle utilisant des modèles dynamiques simplifiés. Avec l'évolution de la technologie, les modèles utilisés sont de plus en plus affinés pour tenir compte des effets submicroniques.

plication, division et racine carrée) avec des représentations arithmétiques en virgules fixe et flottante utilisant la norme IEEE-754 [Aberbour et al, 98]. Dans le cadre d'une collaboration avec le CEA-DAM, l'Outil GENOPTIM a permis la réalisation avec succès d'un circuit convolveur 8×32 , cascadable et reconfigurable. Une carte prototype sur PC a été développée autour de ce convolveur et a montré les performances de l'architecture dédiée pour le traitement d'image [Aberbour et al, 96].

applications de reconnaissance aussi bien civiles que militaires. Cette méthode met en oeuvre des techniques de filtrage de Gabor, d'extraction de signature et de classification par un réseau neuronal. [Aberbour et al, 98].

Des collaborations ont été développées avec deux universités brésiliennes (Prof. Salek de l'UFRJ et Prof. Carvalho de l'UFPB) proposant d'autres méthodes de reconnaissance de formes [Carvalho et al, 96].

portants relativement aux représentations classiques non redondantes. L'intérêt de ces méthodes pour la synthèse des filtres numériques est en cours d'évaluation.

Dans le domaine des opérateurs arithmétiques en représentation redondante, des collaborations ont été développées principalement avec A. Guyot du laboratoire TIMA de l'INPG à Grenoble [Guyot et al, 97, Aberbour et al, 97] ainsi qu'avec J.-M. Muller et A. Mignotte du LIP de l'ENS de Lyon et R. Leveugle de l'INPG, dans le cadre du GDR-PRC ANM.

pour l'application à implanter [Bajot 99]. Une machine virtuelle a été définie ainsi qu'un environnement de simulation et de debug. L'architecture générée utilise les opérateurs développés sous GENOPTIM ainsi que d'autres opérateurs spécifiques. On souhaite utiliser l'environnement de compilation SPAM de l'Université de Stanford pour générer le code machine correspondant à une application particulière.

L'outil GENOPTIM ainsi que la bibliothèque de générateurs d'opérateurs arithmétiques ont fait l'objet d'un transfert technologique vers la société AED qui est une « startup » du LIP6 créée en 1998.

Machine parallèle de type "Grappe de PCs"

ALAIN GREINER, JEAN-LOU DESBARBIEUX, FRANÇOIS DROMARD, ALEXANDRE FENYO, FRANCK WAJSBURT, AMAL ZERROUKI

Le projet Multi-PC a démarré en janvier 1995, sous la responsabilité de A. Greiner. Il vise la conception et la réalisation d'une machine parallèle bas coût dont les nœuds de calcul sont des cartes de PC interconnectées par un réseau hautes performances. Il s'appuie sur différents résultats obtenus dans l'équipe Architecture du LIP6:

Dès 1993, le laboratoire MASI a participé à la conception de la technologie de liaison série à 1 Gigabit/s, développée chez BULL par l'équipe de R. Marbot (thèses de A. Pierre-Duplessy 1997, et P. Couteaux

Routeur RCUBE

Le routeur RCUBE est un circuit VLSI qui réalise un crossbar dynamique entre 8 liens HSL bidirectionnels. Il a été conçu au LIP6 par A. Greiner, F. Potter, V. Reibaldi et B. Zerrouk dans le cadre du projet ESPRIT OMI-HIC. Il a été fabriqué en technologie CMOS 0.5 micron par SGS-THOMSON (Thèse de V. Reibaldi 1997). Une version industrielle de ce

Routeur TWIN

En 1995 et 1996, A. Goeury, B. Zerrouk et A. Greiner, ont étudié une nouvelle architecture de routeur VLSI, dans le cadre du projet JESSI AE96, en coopération avec BULL. La caractéristique de ce rou-

Simulateur MILE

Ce circuit n'a pas été fabriqué. Pour étudier quantitativement les performances des routeurs RCUBE et TWIN, B. Zerrouk et A. Bouaraoua, ont développé l'environnement de simulation MILE, dans le cadre du projet ESPRIT OMI-MACRAME. Cet environne-

Architecture MPC et protocole DDSLR

L'architecture générale de la machine MPC et le protocole de communication DDSLR ont été décrits en 1996 dans la thèse de F. Potter. Il s'agit d'une machine parallèle bas-coût dont les nœuds de calcul sont des cartes de PC, interconnectées par un réseau HSL. (A. Greiner et al. 1998) La carte réseau s'interface sur un bus d'entrées/sorties rapide (bus PCI), plutôt que

Contrôleur réseau PCI-DDC

Ce protocole est mis en œuvre par le composant VLSI PCI-DDC, conçu au LIP6 par J.L.Desbarbieux, J.J.Leclerc, A. Greiner, F. Potter, C. Spasevski, F. Wajsburt dans le cadre du projet ESPRIT EURO-PRO. (F. Wajsburt et al. 1997) Le composant PCI-

Contrôleur réseau NOE

Le composant VLSI NOE est un contrôleur réseau HSL programmable d'une complexité de 1 200 000 transistors, conçu au LIP6 dans le cadre du projet ES-

1997). Cette technologie HSL (High Speed Link) est bien adaptée à la réalisation de réseaux d'interconnexion pour machines parallèles. Les deux principaux avantages de cette technologie sont le faible encombrement et la faible consommation, qui permettent d'intégrer plusieurs ports série à 1 Gigabit/s sur une même puce.

Différentes expérimentations, matérielles et logicielles, se sont développées dans le cadre général de ce projet :

composant a été développée en 1999 par la société Tachys Technologies, qui est une start-up du LIP6. Il est intéressant de noter que ce composant, initialement destiné à réaliser des réseaux d'interconnexion pour machines parallèles, est aujourd'hui principalement utilisé pour des applications de type télécom,

teur TWIN est de contenir une mémoire tampon centralisée qui permet de limiter les phénomènes d'engorgement lorsque le réseau est fortement chargé. (Thèse de A. Goeury 1998)

ment a permis de comparer de façon quantitative et fiable différents algorithmes de routage pour différentes topologies de réseaux d'interconnexion. (Zerrouk et al. 1997, Thèse de A. Bouaraoua 1998)

sur le bus système, de façon à bénéficier de l'évolution rapide de la technologie des cartes processeurs. Le protocole de communication DDSLR (Direct Deposit State-Less Receiver) s'appuie sur un mécanisme d'écriture directe en mémoire distante sans aucune copie intermédiaire.

DDC a été fabriqué en 1997 en technologie CMOS 0.5 micron chez ALCATEL-MIETEC. Il a fallu une seconde fabrication en 1999 pour corriger différentes erreurs de conception.

PRIT OMI-ARCHES par J.L.Desbarbieux, A. Greiner, C. Spasevski, F. Wajsburt, A. Zerrouki: Il possède un interface PCI 64 bits et deux ports HSL.

Sa principale originalité est de supporter différents protocoles de communication grâce à un microcontrôleur programmable externe. Il a été fabriqué en 1999, en technologie 0.25 micron par ST microelec-

Liaison série à 2.5 Gbits/s

Du point de vue de la technologie de base, A. Greiner, E. Coulon, et J.J. Leclerc ont réalisé l'étude théorique d'une version à 2.5Gbit/s de sérialiseur/désérialiseur en technologie CMOS. Parallèlement J.J. Leclerc a conçu la macro-cellule VLSI TICTAC, qui est un multiplieur de fréquence programmable à

prototype machine MPC

La première version de la machine MPC utilisait la carte SmartHSL (conçue autour du routeur RCUBE et d'un micro-processeur Motorola 56301 comme contrôleur de bus PCI). Elle a été démontrée en février 1997 à l'occasion de la conférence EDTC97. (J.J. Leclerc et al. 1997). La seconde version de la machine MPC a été démontrée en mars 1998 à l'occasion de la conférence DATE98. Elle s'appuie sur la carte réseau FastHSL, conçue au LIP6 par J.J. Leclerc,

Système d'exploitation de la machine MPC

Les couches logicielles de communication bas-niveau MPC-OS ont été développées et intégrées dans le noyau du système d'exploitation UNIX freeBSD par A. Fenyo. Celui-ci a défini et développé un ensemble de protocoles de communications sécurisés, qui garantissent un comportement correct, même en

Bibliothèque de programmation PVM

Pour permettre une évaluation des performances de la plate-forme MPC au niveau applicatif, F. Silva, K. Mana et O. Gluck ont développé au dessus de MPC-OS une version optimisée de l'environnement de programmation parallèle PVM. L'intégration matériel/logiciel a démarré début 98, et la première ap-

Ordonnancement sur grappes de PCs

Dans le cadre d'une collaboration entre le LIP6 et l'Université d'Irvine, F. Silva et I. Scherson se sont attaqués au problème général de l'ordonnancement des tâches dans les machines parallèles de type grap-

Machine MPC LIP6

Le projet « MPC LIP6 », démarré en 1998 vise à mettre à la disposition des différentes équipes du LIP6, une machine parallèle possédant 8 nœuds de calcul biprocesseurs, et permettant des expérimentations au niveau applicatif. Cette machine doit permettre la télé-exploitation à travers le WEB. Le projet associe plusieurs équipes du LIP6 (équipe ASIM, équipe CALFOR : J.C. Faugère, équipe ANP :

Dissémination

Des plate-formes MPC sont aujourd'hui installées dans quatre autres universités, à Toulouse (CERT-

tronics. Un noyau de système d'exploitation multi-tâches non- préemptif a été spécialement développé pour ce composant. (thèse J.L. Desbarbieux)

très faible « jitter ». Cette dernière étude a été menée dans le cadre du projet ESPRIT SWIFT, qui porte sur l'exploitation de la technologie HSL pour réaliser un commutateur Gigabit Ethernet extensible. Ces deux macro-cellules ont fait l'objet de dépôts INPI en 2000.

et commercialisée par la société Tachys Technologies. Une carte FastHSL contient un routeur RCUBE et un contrôleur réseau PCI-DDC. La fonction de routage est donc elle-même répartie, puisqu'il n'y a pas de routeur centralisé, ce qui rend l'architecture facilement extensible, et permet de construire des réseaux de topologie quelconque. La latence matérielle maximale, pour un réseau de plusieurs centaines de processeurs est de l'ordre de 3 micro-secondes.

cas de défaillance matérielle du réseau, sans dégradation significative des performances lorsqu'il n'y a pas d'erreurs (A. Fenyo et al. 1998). Malheureusement, un bogue résiduel dans le composant PCI-DDC n'a pas permis l'expérimentation sur la plate-forme matérielle actuellement disponible.

plication de simulation distribuée utilisant PVM a été compilée et exécutée sur la plate-forme MPC en mai 1998, mais il a fallu ensuite 18 mois de mise au point pour rendre la machine exploitable au niveau applicatif.

pes de PCs. Ils ont proposé différentes améliorations de la stratégie de « gang scheduling », qui ont donné lieu à plusieurs publications internationales. (F. Silva et al. 1999)

J.L. Lamotte). Ce projet, qui est analysé en détail dans le chapitre portant sur les projets LIP6 a pris six mois de retard, à la suite de difficultés liées à l'industrialisation de la carte FastHSL et à la correction de différents bogues logiciels dans PVM. La télé-exploitation de la machine MPC sous PVM a été démontrée en mars 2000 à l'occasion de la conférence DATE 2000.

ONERA : B. Lecussan), Versailles (PRISM : P. Feautrier), Amiens (LARIA : G. Utard), Evry

(INT : P. Lallévée). Cette coopération s'organise autour d'un séminaire mensuel.

Indexation multimédia

PASCAL FAUDEMAY, PHILIPPE JOLY, JEAN PENNÉ

L'activité de recherche menée dans le groupe Indexation multimédia, sous la responsabilité de Pascal Faudemay et de Philippe Joly, se concentre autour de

L'analyse de l'image fixe en objets

Pour décrire une image ou une séquence vidéo, il faut caractériser les objets du monde réel représentés dans cette image ou cette séquence. Les méthodes de segmentation de l'image fixe (ou des objets statiques) actuellement disponibles sont principalement basées sur une interaction avec l'utilisateur. Gwenaél Durand et Pascal Faudemay ont développé une méthode automatique de segmentation de l'image statique en objets sémantiques donnant de bons résultats en termes de

trois grands axes qui sont la recherche d'information par le contenu, la description de documents multimédia et les systèmes d'accès.

performance et en termes qualitatifs. Elle a fait l'objet d'un brevet et de plusieurs contributions dans des conférences internationales [Durand-Faudemay 98] [Durand-Faudemay 99]. Cette méthode a été étendue vers des contours exacts, une segmentation hiérarchique de l'image ou de la vidéo, et la détection d'objets composites dans l'image, par exemple à partir du mouvement.

Structure temporelle des documents audiovisuels

La segmentation de la vidéo en plans est une étape préliminaire à toute indexation des documents audiovisuels. Les résultats obtenus suivant l'état de l'art sont bons, mais pas parfaits dans le cas où les plans sont séparés par des "cuts", et plutôt mauvais (de l'ordre de 50 % de taux de succès) dans le cas où ils sont séparés par des effets progressifs (fondus, effets de volets, etc.) Cette situation est dommageable pour l'indexation des documents audiovisuels et les tâches de postproduction numérique. Le développement d'un nouvel algorithme reposant sur l'hybridation de plusieurs techniques nous a conduit vers une exploration plus systématique des outils d'évaluation des résultats.

Nous avons ainsi développé une métrique pour comparer les algorithmes de segmentation, et pour mesurer la difficulté de traitement du corpus utilisé. Ce travail a fait l'objet de collaborations avec l'IMAG

et Eurecom et a conduit au montage d'une opération thématique (l'OT 10.3) au sein du GT10 du GDR ISIS. De futures expérimentations sont envisagées cette fois-ci avec d'autres équipes de laboratoires européens. Les résultats de ces travaux ont fait l'objet d'une conférence internationale [Ruiloba & al. 99], et ont conduit au développement d'un logiciel d'évaluation disponible en accès libre sur Internet.

D'autre part, nous avons défini un formalisme descriptif permettant la représentation des effets de transition et de composition aussi complexes soient-ils, de façon à pouvoir les prendre en compte dans un algorithme de segmentation. Ce formalisme descriptif a été présenté en tant que réponse à l'appel à propositions MPEG-7 et fait l'objet à l'heure actuel d'un protocole d'expérimentation au sein du consortium MPEG. Ces travaux ont été menés par Rosa Ruiloba et Philippe Joly.

Suivi de script

Les méthodes d'analyse audio du LIP6 (cf. Equipe Parole du thème APA) permettent d'aligner un script de vidéo sur les phrases parlées de celle-ci. Cette méthode de "suivi de script" donne des informations extrêmement complètes sur le contenu de chaque plan, dans la mesure où il existe un script réalisé à la production. Cette collaboration interne, principalement

conduite par Gwenaél Durand, a permis de développer de nouveaux outils de consultation offrant des possibilités de formulation de requêtes sur le contenu textuel de la bande son des enregistrements vidéos. Elle a fait l'objet d'un exposé lors d'une session de conférences internationales en 1999 [Durand & al 99].

Moteurs de recherche

Un moteur de recherche "pull" est destiné à interroger la base d'objets multimédia, à partir de requêtes explicites de l'utilisateur. Ces requêtes peuvent être une recherche par similarité avec un exemple (rechercher une musique ou une vidéo similaire à celle-ci, rechercher des plans ou des images similaires à celle-ci), ou une recherche par une requête textuelle ou for-

melle (dans un langage de requêtes). Les travaux menés par Claude Seyrat dans le domaine des requêtes textuelles ou formelles se sont appuyés notamment sur la caractérisation par des concepts à partir de "concepts visuels" basés sur des collections d'exemples, et sur des descriptions MPEG-7 [Faudemay & Al. 98] [Seyrat & Al. 98].

Une des principales dimensions scientifiques de ce travail réside dans le fait que ces moteurs doivent prendre leur place dans des architectures flexibles multiprojets, capables d'intégrer (ou de s'intégrer à)

Annotation

La disposition de méthodes d'analyse de l'image en objets sémantiques permet d'annoter efficacement et rapidement une image ou une séquence vidéo à un niveau de granularité fin. Pour cette annotation, nous avons mis au point une méthode basée sur des types extensibles, qui sont une réalisation du système de types que nous avons proposé pour MPEG-4 / OCI (Object Content Information) et qui a été retenu dans cette norme.

MPEG-7: langage de définition de schémas de description

Les futures descriptions MPEG-7 d'objets multimédia s'appuieront sur des modèles, appelés "Schémas de description". Des schémas de description pourront être développés par différents utilisateurs ou fournisseurs de description, et / ou pour différentes applications. L'expressivité de ces schémas de description dépend entièrement de l'expressivité du Langage de Définition de Schémas ("Description Scheme Definition Language" ou DDL).

Pascal Faudemay, Philippe Joly, Claude Seyrat et Cédric Thiénot travaillent conjointement à l'intégration dans le DDL de MPEG-7 de mécanismes de base

des architectures telles que celles du projet Esprit AVIR, du projet RNRT AGIR, du modèle d'expérimentation (XM) de MPEG-7, etc.

Par ailleurs, considérant que la nature des annotations diffèrent selon l'utilisateur et selon la tâche à accomplir lors de la consultation d'un document audiovisuel, un outil d'annotation a été développé par Claude Seyrat et Cédric Thiénot, reposant sur les concepts de MPEG-7, offrant un environnement de saisie de notes descriptives dont le format est totalement modifiable et adaptable en fonction des besoins de l'utilisateur.

comme le typage, les mécanismes des langages à objets (héritage et composition), etc. Nos travaux sont développés dans le cadre de contributions à ISO/ CEI/ JTC1/ MPEG, notamment dans le cadre du développement du XM (Experimentation Model) et des Core Experiments de MPEG-7. Plus d'une dizaine de contributions ont été présentées par le groupe devant les membres du consortium, ce à quoi s'ajoute le développement et la mise à disposition du premier analyseur syntaxique. Cet analyseur syntaxique contrôle la validité des schémas de description et des descriptions elle-même en proposant une API de type DOM.

Chaîne de CAO-VLSI Alliance

La chaîne de CAO-VLSI Alliance est un ensemble complet d'outils CAO pour la spécification, la conception et la validation de circuits VLSI CMOS. C'est également un ensemble de bibliothèques de cellules portables (c'est-à-dire multi-fondeurs), utilisable dans différents environnements de CAO tels que Synopsys ou Cadence. L'ensemble est distribué gratuitement sous licence GPL (GNU General Public Licence), et utilisé dans plus de 200 Universités dans le monde,

Version 4.0

La version 4.0 d'Alliance est disponible depuis février 2000. Cette nouvelle version introduit différents résultats de recherche: une nouvelle bibliothèque de cellules portables permet le routage multi-niveau (A. Greiner et F. Wajsburt), une extension du simulateur VHDL permettant la simulation logico-temporelle (P. Bazargan, J. Dunoyer), un nouvel outil

dont l'Université des Nations Unies. ALLIANCE est utilisée comme plate-forme de développement et d'expérimentation pour de nombreux projets de recherche du département ASIM, en conception VLSI, comme en CAO. L'intégration et la maintenance de la chaîne ALLIANCE, ainsi qu'un support minimal aux utilisateurs, sont assurées par un ingénieur sous contrat.

de synthèse pour circuits FPGA (A. Caron) et un traducteur VHDL universel (L. Jacomme). De plus elle bénéficie de nombreuses améliorations et correction de bugs sur l'infrastructure de la chaîne, et sur les outils existants (G. Avot, J.P.Chaput, L. Jacomme, F. Petrot, O. Sirol, F. Wajsburt).

Portabilité et installation simplifiée

Un gros effort a été entrepris depuis 1997 pour rendre le code portable et plus stable. Ceci a permis de faire fonctionner Alliance sur la majorité des plates-

formes Unix (Linux, Solaris...) et sous Windows NT/ 98 (O. Sirol).

Diffusion Internationale

Le nouveau site WEB Alliance a été créé en janvier 1999, grâce à un financement spécifique du

LIP6. On y trouve des tutoriels, et la toute documentation disponible, sur les outils et sur la méthodologie

de conception... Des forums de discussions permettent aux novices et utilisateurs confirmés d'échanger leurs point de vue.

Serveur de Calcul

Un projet de télé-exploitation de la chaîne Alliance a travers internet a démarré début 2000. Il s'agit de mettre à disposition de concepteurs VLSI « distants » une station de travail en CAO/VLSI permettant d'évaluer la chaîne ALLIANCE sur des applications réel-

Projet AFM (Alliance / Framekit / Métagen)

Démarré fin 1999, le projet inter-thèmes AFM, (Thème ASIM : A. Greiner, Olivier Sirol, M.M.Paget, Thème OASIS G. Blain, J. Poirier, et Thème SRC Systèmes répartis et coopératifs F. Kordon), vise à optimiser l'utilisation d'Alliance, et en particulier permettre son exploitation à distance. Pour cela, on désire procéder à l'intégration de l'ensemble des outils Alliance au sein de la plate-forme FrameKit. Développée par le groupe SRC du LIP6, FrameKit est une plate-forme logicielle, originellement dédiée au prototypage et à la mise en oeuvre rapide d'environnement de modélisation. On souhaite utiliser FrameKit afin de permettre le pilotage à distance, ou télégestion, de l'ensemble de la chaîne Alliance. Ainsi permettra-t-on à différents concepteurs de développer conjointement un circuit électronique intégré, à partir de postes clients distants. Dans le but de permettre une simplification et une accélération de l'intégration des outils au sein de la plate-forme, on souhaite utiliser l'application MétaGen créée par le groupe MétaFor du LIP6, qui permet la génération automatique d'éditeurs métiers, par spécification formelle du contexte linguistique de l'utilisateur, et de règles d'interprétation des modèles.

Les statistiques d'accès montrent :

- 50 visiteurs par semaine
- plus de 1200 downloads de la version 4.0 entre fev 2000 et mai 2000.

les, avant une éventuelle installation de la chaîne ALLIANCE sur la machine de l'utilisateur distant. Ce serveur devrait être mis en service d'ici la fin 2000 (O. Sirol).

PUBLICATIONS ASIM

Livres

- (1) A. Fenyo, F. Le Guern, S. Tardieu : "Raccorder son réseau d'entreprise à l'Internet", 1997.

Articles de revues

- (1) M. Aberbour, A. Houelle, H. Mehrez, N. Vaucher, A. Guyot : "On Portable Macro-Cell FPU Generators for Division and Square Root Operators Complying with the full IEEE-754 Standard ", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 6, pp. 114-121, 1998.
- (2) M. Combes, K. Dioury, A. Greiner : "A Portable Clock Multiplier Generator Using Digital CMOS Standard Cells", IEEE Journal of Solid-State Circuits (JSSC), vol. 31, pp. 958-965, 1996.
- (3) M. Dessouky, A. Kaiser : "Input Switch Configuration Suitable for Rail-to-Rail Operation of Switched-Opamp Circuits", IEE Electronics Letters, vol. 35, pp. 8-10, 1999.
- (4) A. Greiner, P. David, J.-L. Desbarbieux, A. Fenyo, J.-J. Lecler, F. Potter, V. Reibaldi, F. Wajsbürt, B. Zerrouk : "La machine MPC", Calculateurs Parallèles - Réseaux et Systèmes répartis, vol. 10, pp. 71-84, 1998.
- (5) A. Khoulas, A. Derieux : "Fault Simulation for Analog Circuits Under Parameter Variations ", Journal of Electronic Testing, vol. 16, pp. 269-278, 2000.
- (6) F. Wasjbürt, F. Pétrot, K. Dioury : "Transistor Controlled Slew Rate Process Independent PCI Compliant I/O Buffer with Possible Power/Delay Trade-off", Microelectronics journal, vol. 29, pp. 733-740, 1998.

Chapitres de Livres

- (1) D. Dromard, D. Seret : "Article Internet", in Encyclopædia Universalis, 2000.
- (2) D. Dromard : "Article Disques optiques", in Encyclopædia Universalis, 1999.
- (3) D. Dromard, F. Dromard, J. Vignes : "Article Ordinateurs", in Encyclopædia Universalis, 1997.
- (4) P. Faudemay : "A Paginated Set-Associative Architecture for Databases", in Emerging Trends in Database and Knowledge-Base Machines : the Application of Parallel Architectures to Smart Information Systems, 1996.
- (5) P. Faudemay, D. Donsez, P. Homond : "A cooperative database system based on workspace hierarchy", in Industrial Information and Design Issues, 1996.

Communications avec actes

- (1) N. Abdallah and P. Bazargan Sabet, "Technique de Simulation Event-Driven en Vue d'une Simulation Mixte Efficace," presented at 1er Colloque CAO de Circuits Intégrés et Systèmes, Grenoble France, 1997, pp. 22-25.
- [2] N. Abdallah, P. Bazargan Sabet, and J. Dunoyer, "SWISSE: A Fast Switch-Level Timing Simulator with Slope Effects for Large Digital MOS Circuits," presented at 4th IEEE International Conference on Electronics Circuits and Systems (ICECS'97), Cairo Egypt, 1997, pp. 875-879.
- [3] M. Aberbour, F. Ahmad, and H. Mehrez, "A Hardware Implementation of an RBF Neural Network : Architecture and Design Methodology," presented at Internation Conference on Signal Processing and Technology 97, San Diego USA, 1997.
- [4] M. Aberbour, A. Derieux, and N. Vaucher, "Enseignement de la conception d'un circuit intégré à l'aide de CADENCE et utilisation de bibliothèques de cellules d'ALLIANCE," presented at 4ème Journées du CNFM, Saint Malo, 1996.
- [5] M. Aberbour, A. Houelle, H. Mehrez, N. Vaucher, G. Besencenet, E. Dupont-Nivet, F. Durbin, T. Garrié, and A. Tissot, "A Parametrized Real Time Image Convolver," presented at International Conference on Signal Processing Applications and Technologies (ICSPAT'96), Boston MA USA, 1996, pp. 1885-1889.
- [6] M. Aberbour, A. Houelle, H. Mehrez, N. Vaucher, and A. Guyot, "A Timing Driven Adder Generator Architecture," presented at International Conference on Very Large Scale Integration (VLSI'97), Gramado Brasil, 1997.
- [7] M. Aberbour, H. Mehrez, F. Durbin, T. Garrie, and A. Tissot, "Algorithms and VLSI Architectures for Pattern Recognition Based on the Gabor Wavelets," presented at International Conference on Signal Processing Applications and Technology (ICSPAT'98), Toronto Canada, 1998, pp. 1455-1459.
- [8] M. Aberbour, H. Mehrez, F. Durbin, T. Garrie, and A. Tissot, "System Level Design of a Pattern Recognition System Based on the Gabor Wavelets," presented at IEEE-SP Conference on Time-Frequency Time-Scale Analysis (TFTS'98), Pittsburgh USA, 1998.
- [9] M. Aberbour, N. Vaucher, and A. Derieux, "Teaching the Design of a Chip under the Cadence Opus Environment Using the Alliance Cells Libraries," presented at IEEE Conference on Microelectronic Systems Education 97, Arlington VA USA, 1997.

- [10] H. Aboushady, E. de Lira Mendes, M. Dessouky, and P. Loumeau, "A Current-Mode Continuous-Time Sigma-Delta Modulator with Delayed Return-to-Zero Feedback," presented at International Symposium on Circuits and Systems (ISCAS'99), Orlando FL USA, 1999.
- [11] H. Aboushady, M. Dessouky, E. de Lira Mendes, and P. Loumeau, "A Third-Order Current-Mode Continuous-Time Sigma-Delta Modulator," presented at IEEE International Conference on Electronic Circuits and Systems (ICECS'99), Paphos Cyprus, 1999.
- [12] F. Alves Barbosa da Silva, M. Campos, and I. Scherson, "Improvements in Gang Scheduling for Parallel Supercomputers," presented at 8th International Parallel Computing Workshop, Singapore, 1998.
- [13] F. Alves Barbosa da Silva, M. Campos, and I. Scherson, "A Lower Bound for Dynamic Scheduling of Data Parallel Programs," presented at 4th International Euro-Par Conference, Southampton UK, 1998, pp. 367-372.
- [14] F. Alves Barbosa da Silva and I. Scherson, "Bounds on Gang Scheduling Algorithms," presented at 2nd International Conference on Parallel Computing Systems, Ensenada Mexico, 1999.
- [15] F. Alves Barbosa da Silva and I. Scherson, "Concurrent Gang: Towards a Flexible and Scalable Gang Scheduler," presented at 11th Symposium on Computer Architecture and High Performance Computing, Natal Brazil, 1999.
- [16] F. Alves Barbosa da Silva and I. Scherson, "Improvements in Parallel Job Scheduling Using Gang Service," presented at 1999 International Symposium on Parallel Architectures, Algorithms and Networks Freemantle Australia, 1999.
- [17] F. Alves Barbosa da Silva and I. Scherson, "Towards Flexibility and Scalability in Parallel Job Scheduling," presented at 11th IASTED International Conference on Parallel and Distributed Computing and Systems, Cambridge USA, 1999.
- [18] I. Augé, R. K. Bawa, P. Guerrier, A. Greiner, L. Jacomme, and F. Pétrot, "User Guided High Level Synthesis," presented at International Conference on Very Large Scale Integration (VLSI'97), Gramado Brasil, 1997, pp. 464-475.
- [19] G. Avot and M.-M. Rosset-Louërat, "Influence et prise en compte des capacités de diaphonies dans la conception d'outils d'analyse temporelle pour les technologies profondément submicroniques.," presented at Colloque CAO de Circuits Intégrés et Systèmes GDR 732, Aix-en-Provence, 1999, pp. 232-235.
- [20] Y. Bajot and H. Mehrez, "A Macro-Block Based Methodology for ASIP Core Design," presented at International Conference On Signal Processing Applications and Technologies (ICSPAT'99), Orlando Florida, 1999.
- [21] R. Bawa, P. Guerrier, L. Jacomme, and P. Bazargan Sabet, "An Approach to Behavioural Synthesis From a Formal Model of VHDL," presented at VHDL International User's Forum, Durham North Carolina USA, 1996, pp. 117-126.
- [22] M. Benabdenbi, W. Maroufi, and M. Marzouki, "CAS-BUS: A Scalable and Reconfigurable Test Access Mechanism for Systems on a Chip," presented at Design Automation and Test in Europe Conference (DATE'2000), Paris France, 2000, pp. 141-145.
- [23] Y. Body, F. Dromard, A. Greiner, M.-M. Paget, and F. Pétrot, "SIMIPS : a cycle-precise interactive simulator for teaching microprocessor architecture," presented at Fourth International Conference on Computer Aided Learning and Instruction in Science and Engineering (CALISCE'98), Göteborg Sweden, 1998, pp. 146-154.
- [24] J.-Y. Brunel, Y. Watanabe, L. Lavagno, and F. Pétrot, "COSY : levels of interfaces for modules used to create a video system on chip," presented at Buissiness and work in the information society: new technologies and applications (EMMSEC'99), IOS Press Stockholm Sweden, 1999, pp. 772-778.
- [25] P. Bukovjan, L. Ducerf-Bourbon, and M. Marzouki, "Cost/Quality Trade-off in Synthesis for BIST," presented at 1st IEEE Latin America Test Workshop (LATW), Rio de Janeiro Brésil, 2000, pp. 110-115.
- [26] P. Bukovjan, L. Ducerf-Bourbon, and M. Marzouki, "Cost/Quality Trade-off in Synthesis for Scan," presented at 3rd International Workshop on Design and Diagnostics of Electronic Circuits and Systems (DDECS), Slomenice Slovaquie, 2000.
- [27] P. Bukovjan, M. Marzouki, and W. Maroufi, "Allocation for Testability in High-Level Synthesis Process," presented at 5th Electronic Devices and Systems Conference, Brno Czech Republic, 1998.
- [28] P. Bukovjan, M. Marzouki, and W. Maroufi, "Cost/Quality Trade-off in High-Level Synthesis for Testability," presented at 2nd International Workshop on Design and Diagnostics of Electronic Circuits and Systems, Szczyrk Poland, 1998.
- [29] P. Bukovjan, M. Marzouki, and W. Maroufi, "Design for Testability Reuse in Synthesis for Testability," presented at XII Symposium on Integrated Circuits and Systems Design (SBCCI'99), Natal (RN) Brazil, 1999, pp. 206-209.
- [30] P. Bukovjan, M. Marzouki, and W. Maroufi, "Testability Analysis and Cost/Quality Trade-off in Synthesis for Testability," presented at 4th IEEE European Test Workshop (ETW'99), Constance Germany, 1999.
- [31] P. Bukovjan, M. Marzouki, and W. Maroufi, "Testability Analysis in High-Level Synthesis," presented at 10th European Workshop on Dependable Computing (EWDC), Vienne Autriche, 1999.
- [32] L. Chen, D. Donsez, and P. Faudemay, "Design of U-Doc, a research vehicle for hyper document retrieval on the Internet," presented at International Workshop BIWITT 97, Biarritz France, 1997.
- [33] L. Chen and P. Faudemay, "Multicriteria video segmentation for TV news," presented at First IEEE Workshop on Multimedia Signal Processing, Boston, 1997.
- [34] L. Chen, F. Ramos, M. Bui, D. Donsez, and P. Faudemay, "Multi-agents based dynamic request placement strategies in fully distributed information systems," presented at 9th Int'l Conf. on Parallel and Distributed Computing Systems (PDCS'96), Dijon France, 1996.

- [35] M. Dessouky, A. Greiner, and M.-M. Rosset-Lou  rat, "CAIRO : Un Langage pour le Layout Analogique Symbolique," presented at 1er Colloque CAO de Circuits Int  gr  s et Syst  mes, Grenoble France, 1997, pp. 14-17.
- [36] M. Dessouky, A. Greiner, and M.-M. Rosset-Lou  rat, "CAIRO : A hierarchical layout language for analog circuits," presented at Mixed Design of Integrated Circuits and Systems (MIXDES'99), Krakow Poland, 1999, pp. 105-110.
- [37] M. Dessouky and A. Kaiser, "Circuit a capacit  s commut  es fonctionnant en mode _rail-to-rail_ a tr  s basse tension," presented at Journ  es Nationales du R  seau Doctoral de Micro-  lectronique, Bordeaux France, 1999.
- [38] M. Dessouky and A. Kaiser, "Circuits a capacit  s commut  es fonctionnant en mode "rail-to-rail"    tr  s basse tension," presented at 2  me Journ  es Francophones d'  tudes Faible Tension Faible Consommation (FTFC'99), Paris France, 1999, pp. 25-28.
- [39] M. Dessouky and A. Kaiser, "Rail-to-Rail Operation of Very Low Voltage CMOS Switched-Capacitor Circuits," presented at International Symposium on Circuits and Systems (ISCAS'99), Orlando FL USA, 1999, pp. 144-147.
- [40] M. Dessouky and A. Kaiser, "A 1V 1mW Digital-Audio Delta-Sigma Modulator with 88dB Dynamic Range using Local Switch Bootstrapping," presented at Custom Integrated Circuits Conference (CICC'00), Orlando US, 2000, pp. 13-16.
- [41] M. Dessouky and A. Kaiser, "Very Low-Voltage Fully-Differential Amplifier for Switched-Capacitor Applications," presented at IEEE International Symposium on Circuits and Systems (ISCAS 2000), Geneva Switzerland, 2000, pp. 441-444.
- [42] M. Dessouky, J. Porte, A. Greiner, and M.-M. Rosset-Lou  rat, "Synth  se de Circuits Analogiques CMOS," presented at 1  re Journ  e Nationale R  seau Doctoral Micro  lectronique, Toulouse France, 1998.
- [43] M. Dessouky, J. Porte, and M.-M. Rosset-Lou  rat, "Synth  se de circuits faible tension CMOS analogiques," presented at 2  me Journ  es Francophones d'  tudes Faible Tension Faible Consommation (FTFC'99), Paris France, 1999, pp. 126-130.
- [44] M. Dessouky, J. Porte, and M.-M. Rosset-Lou  rat, "TANIS : Un outil pour la synth  se de circuits CMOS analogiques," presented at Colloque CAO de Circuits Int  gr  s et Syst  mes GDR 732, Aix-en-Provence, 1999, pp. 186-189.
- [45] M. Dessouky and M.-M. Rosset-Lou  rat, "A Layout Approach for Electrical and Physical Design Integration of High-Performance Analog Circuits," presented at 1st International Symposium on Quality Electronic Design (ISQED 2000), San Jose USA, 2000.
- [46] M. Dessouky, M.-M. Rosset-Lou  rat, and J. Porte, "Layout-Oriented Synthesis of High Performance Analog Circuits," presented at Design Automation and Test in Europe Conference (DATE'2000), Paris France, 2000, pp. 53-57.
- [47] K. Dioury, A. Greiner, and M.-M. Rosset-Lou  rat, "Accurate static timing analysis for deep submicronic CMOS circuits," presented at International Conference on Very Large Scale Integration (VLSI'97), Gramado Brasil, 1997, pp. 439-450.
- [48] K. Dioury, A. Greiner, and M.-M. Rosset-Lou  rat, "Analyse Temporelle des Circuits VLSI    Haute Densit   d'Int  gration Utilisant des Technologies Submicroniques," presented at 1er Colloque CAO de Circuits Int  gr  s et Syst  mes, Grenoble France, 1997, pp. 184-187.
- [49] K. Dioury, A. Greiner, and M.-M. Rosset-Lou  rat, "Hierarchical Static Timing Analysis for CMOS ULSI Circuits," presented at International Workshop on Timing Issues in the Specification and Synthesis of Digital Systems (TAU'99), Monterey CA USA, 1999, pp. 65-70.
- [50] K. Dioury, A. Lester, A. Debreil, G. Avot, A. Greiner, and M.-M. Lou  rat, "Hierarchical Static Timing Analysis at Bull with HiTas," presented at Design Automation and Test in Europe Conference User Forum (DATE'2000), Paris France, 2000, pp. 55-60.
- [51] F. Dromard, Y. Body, M.-M. Paget, A. Greiner, P. Bazargan Sabet, and F. P  trot, "Interactive Learning of Processor Architecture," presented at 5th International Conference on Computer Aided Engineering Education (CAEE'99), Sofia Bulgaria, 1999, pp. 123-129.
- [52] L. Ducerf-Bourbon, P. Bukovjan, and M. Marzouki, "TACOS: A Testability Allocation and Control System," presented at IEEE European Test Workshop (ETW), Cascais Portugal, 2000.
- [53] J. Dunoyer, N. Abdallah, and P. Bazargan Sabet, "M  thodes Probabilistes et Probl  mes de Corr  lations pour l'Evaluation de la Consommation des Circuits VLSI," presented at Journ  es Faible Tension Faible Consommation, 1997, pp. 131-134.
- [54] J. Dunoyer, P. Bazargan Sabet, and N. Abdallah, "Efficient bus design rules checking using supergates analysis and symbolic simulation," presented at 4th international workshop on Symbolic Methods And Computer Design, IEEE Computer Society Leuven Belgium, 1996.
- [55] J. Dunoyer, F. P  trot, and L. Jacomme, "Intrinsic Limitations of Logarithmic Encodings for Low Power Finite State Machines," presented at Proceedings of the Mixed Design of VLSI Circuits Conference, Poznan Poland, 1997, pp. 613-618.
- [56] J. Dunoyer, F. P  trot, and L. Jacomme, "Limitations of Logarithmic Encodings for Low Power Finite State Machines," presented at 4th IEEE International Conference on Electronics Circuits and Systems (ICECS'97), Cairo Egypt, 1997, pp. 522-528.

- [57] J. Dunoyer, F. Pétrot, and L. Jacomme, "Stratégie de codage des automates pour les applications basse-consommation : expérimentations et interprétation," presented at Journées Faible Tension Faible Consommation, Paris France, 1997.
- [58] J. Dunoyer, L. Vuillemin, and P. Bazargan Sabet, "Méthodes Probabilistes pour l'Evaluation de la Consommation des Circuits Intégrés VLSI," presented at 1er Colloque CAO de Circuits Intégrés et Systèmes, Grenoble France, 1997, pp. 116-119.
- [59] G. Durand, M.-J. Caraty, C. Montacié, and P. Faudemay, "Script Warping and Extraction of Audiovisual Object Properties in Video," presented at SPIE - Multimedia Storage and Archiving Systems IV, Boston, 1999.
- [60] G. Durand and P. Faudemay, "Extraction of Composite Visual Objects from Audiovisual Materials," presented at Invited paper - SPIE - Multimedia Storage and Archiving Systems IV, Boston, 1999.
- [61] P. Faudemay, "Multidimensional navigation in collections of multimedia objects," presented at ACM Conference on Computer Human Interfaces (CHI'98), Los Angeles CA USA, 1998.
- [62] P. Faudemay and L. Chen, "Interoperability issues in the Transdoc project," presented at Workshop on Interoperability for Video Indexation, ACM Multimedia 96 Boston MAS USA, 1996.
- [63] P. Faudemay, L. Chen, C. Montacié, M.-J. Caraty, C. Maloigne, X. Tu, M. Ardebilian, and F. J.-L. Le, "Multi-channel video segmentation," presented at Int'l Conf. on Multimedia Storage and Archiving Systems SPIE Symp., Boston MAS USA, 1996.
- [64] P. Faudemay and a. et, "Segmentation multi-canaux de vidéos en séquences," presented at CORESA'97, CNET Issy-Les-Moulineaux, 1997.
- [65] P. Faudemay, P. Joly, C. Thienot, and C. Seyrat, "A proposal for constraint expression in an XML class based DDL," presented at MPEG Document M4542, 1999.
- [66] P. Faudemay, P. Joly, C. Thiénot, and C. Seyrat, "An Extensible DDL Framework based on RDF and Ontologies," presented at MPEG proposal p625b, 1999.
- [67] P. Faudemay, P. Joly, C. Thiénot, and C. Seyrat, "Video Editing Work Description Scheme," presented at MPEG proposal p624, 1999.
- [68] P. Faudemay and C. Seyrat, "Intelligent delivery of personalised video programmes from a video database," presented at 8th International Conference Database and ExpertSystems Applications (DEXA'97), Toulouse France, 1997.
- [69] P. Faudemay, C. Thiénot, and C. Seyrat, "Basic Semantic for descriptions," presented at MPEG Document M4780, 1999.
- [70] A. Fenyo, P. David, and A. Greiner, "Noyau de communication sécurisé pour la machine parallèle MPC," presented at 10èmes Rencontres sur le Parallélisme (RENPAR'10), Strasbourg France, 1998.
- [71] M. Firas, M. Marzouki, and M. H. Touati, "A Cost-effective Approach for Analog, Digital and Mixed-signal Test and Diagnosis," presented at 2nd IEEE European Test Workshop, Cagliari Italy, 1997.
- [72] O. Florent, "Génération distribuée de vecteurs de test par découpage structurel," presented at 1er Colloque CAO de Circuits Intégrés et Systèmes, Grenoble France, 1997, pp. 242-245.
- [73] P. Guerrier and A. Greiner, "A Scalable Architecture for System-on-Chip Interconnections," presented at Sophia Antipolis Forum on MicroElectronics (SAME'99), Sophia Antipolis France, 1999, pp. 90-93.
- [74] P. Guerrier and A. Greiner, "A Generic Architecture for On-chip Packet-switched Interconnections," presented at Design Automation and Test in Europe Conference (DATE'2000), Paris France, 2000, pp. 250-256.
- [75] A. Guettaf and P. Bazargan Sabet, "Efficient Partitioning Method for Distributed Logic Simulation of VLSI Circuits," presented at 31st Annual Simulation Symposium, Boston MAS USA, 1998, pp. 196-201.
- [76] A. Guettaf and P. Bazargan Sabet, "Using Node Replication to Improve Circuit's Partition in Distributed Logic Simulation," presented at 12th European Simulation Multiconference, Manchester United Kingdom, 1998, pp. 235-237.
- [77] D. Hommais, "Un environnement de simulation pour systèmes embarqués," presented at 1ère Journée Nationale Réseau Doctoral Microélectronique, Toulouse France, 1998.
- [78] D. Hommais, P. Frédéric, and A. Ivan, "Une approche pour la conception des systèmes intégrés," presented at IIIèmes Journées Nationales du Réseau Doctoral de Micro-électronique (JNRDM2000), Montpellier France, 2000, pp. 76-77.
- [79] D. Hommais, A. Greiner, and F. Pétrot, "Un environnement de simulation pour les systèmes embarqués," presented at 1er Colloque CAO de Circuits Intégrés et Systèmes, Grenoble France, 1997, pp. 66-69.
- [80] D. Hommais and F. Pétrot, "Efficient Combinational Loops Handling for Cycle Precise Simulation of System on a Chip," presented at 24th EUROMICRO International Conference on Digital Sytems, Vasteras Sweden, 1998, pp. 51-54.
- [81] D. Hommais and F. Pétrot, "Une gestion efficace des boucles combinatoires pour la simulation au cycle près de systèmes matériel--logiciel," presented at Colloque CAO de Circuits Intégrés et Systèmes GDR 732, France, 1999, pp. 266-269.
- [82] F. Ilponse and P. Bazargan Sabet, "CRISE : Un Outil d'Evaluation des Risques dus à la Diaphonie dans les Circuits Intégrés fortement Sub-Microniques," presented at Colloque CAO de Circuits Intégrés et Systèmes GDR 732, France, 1999.

- [83] L. Jacomme, F. Pétrot, and R. K. Bawa, "Formal Extraction of Memorizing Elements for Sequential VHDL Synthesis," presented at IEEE/EUROMICRO'98 International Conference on Digital Sytems, Vasteras Sweden, 1998.
- [84] L. Jacomme, F. Pétrot, and R. K. Bawa, "Formal Analysis of Single Wait VHDL processes for Semantic Based Synthesis," presented at 12th IEEE International Conference on VLSI Design, Goa India, 1999, pp. 151-156.
- [85] L. Jacomme and B. Rajesh, "Synthèse de descriptions comportementales séquentielles en conformité avec la sémantique VHDL," presented at 1er Colloque CAO de Circuits Intégrés et Systèmes, Grenoble France, 1997, pp. 303-306.
- [86] A. Khouas and A. Derieux, "Methodology for Fast and Accurate Analog Production Test Optimization," presented at 5th IEEE International Mixed Signal Testing Workshop (IMSTW), Whistler British Columbia Canada, 1999, pp. 215-219.
- [87] A. Khouas and A. Derieux, "Optimisation des Tests de Production pour les Circuits Analogiques avec prise en compte des tolérances," presented at Colloque CAO de Circuits Intégrés et Systèmes GDR 732, France, 1999.
- [88] A. Khouas and A. Derieux, "Optimization of Production Tests for Analog Circuits under Parameter Variations," presented at Mixed Design of Integrated Circuits and Systems (MIXDES'99), Krakow Poland, 1999.
- [89] A. Khouas and A. Derieux, "Speed-up of High Accurate Analog Test Stimulus Optimization," presented at International Test Conference (ITC), Atlantic City NJ USA, 1999, pp. 230-236.
- [90] A. Khouas, M. Dessouky, and A. Derieux, "Optimized Statistical Analog Fault Simulation," presented at IEEE Asian Test Symposium (ATS'99), Shanghai China, 1999.
- [91] J.-J. Lecler, A. Fenyo, A. Greiner, and F. Potter, "SmarHSL : An Evaluation Board for the IEEE 1355 Technology," presented at European Multimedia Microprocessor Systems and Electronic Commerce Conference and Exhibition (EMMSEC'97), Florence Italy, 1997.
- [92] A. Lester, P. Bazargan Sabet, and A. Greiner, "Circuit Disassembly for Verification and functional Abstraction of CMOS Circuits," presented at Sophia Antipolis forum on MicroElectronics (SAME'98), Sophia Antipolis France, 1998, pp. 60-63.
- [93] A. Lester, P. Bazargan Sabet, and A. Greiner, "YAGLE, a Second generation Functional Abstractor for CMOS VLSI Circuits," presented at 10th International Conference on Microelectronics (ICM'98), Monastir Tunisia, 1998, pp. 265-268.
- [94] A. Lester, A. Greiner, and P. Bazargan Sabet, "Un Outil d'Evaluation de la Consommation Basée sur l'Extraction d'un Réseau de Portes Caractérisées," presented at 1er Colloque CAO de Circuits Intégrés et Systèmes, Grenoble France, 1997, pp. 128-131.
- [95] W. Maroufi, M. Benabdenbi, and M. Marzouki, "Controlling the CAS-BUS TAM with IEEE 1149.1 TAP: A Solution for Systems-On-a-Chip Testing," presented at 4th IEEE International Workshop on Testing Embedded Core-based Systems (TECS'00), Montréal Canada, 2000.
- [96] W. Maroufi and M. Marzouki, "Specification and Early Evaluation of System Testability through Object Oriented modeling," presented at 2nd IEEE European Test Workshop, Cagliari Italy, 1997.
- [97] W. Maroufi and M. Marzouki, "STA : A System Testability Assistant," presented at 3rd IEEE European Test Workshop, Sitges Spain, 1998.
- [98] W. Maroufi and M. Marzouki, "System Testability Evaluation with STA," presented at 10th International Conference on Microelectronics (ICM'98), Monastir Tunisia, 1998.
- [99] H. Mehrez and M. Aberbour, "Architecture and design Methodology of the RBF-DDA Neural Network," presented at IEEE International Symposium on Circuits and Systems (ISCAS'98), Monterey CA USA, 1998.
- [100] F. Mohamed, A. Khouas, and A. Derieux, "L'optimisation des vecteurs de test analogique à base d'une approche floue," presented at Rencontre Francophone sur la Logique Floue et ses Applications (LFA'97), Lyon France, 1997, pp. 107-112.
- [101] O. Oliaei and H. Aboushady, "Jitter Effects in Continuous-Time Sigma-Delta Modulators with Delayed Return-to-Zero Feedback," presented at 5th IEEE International Conference on Electronics Circuits and Systems (ICECS'98), Lisbon Portugal, 1998, pp. 351-354.
- [102] O. Oliaei, H. Aboushady, and P. Loumeau, "Simulation de Modulateurs Sigma-Delta à Courants Commutés," presented at 1er Colloque CAO de Circuits Intégrés et Systèmes, Grenoble France, 1997, pp. 283-286.
- [103] O. Oliaei, H. Aboushady, and P. Loumeau, "A Switched-Current Class AB Sigma-Delta-Modulator," presented at 30th IEEE International Symposium on Circuits and Systems (ISCAS'97), Hong Kong, 1997.
- [104] F. Pétrot, "Cycle Accurate System Simulation," presented at Medea-Esprit Conference, Antwerpen Belgium, 1999.
- [105] F. Pétrot and D. Hommais, "A Generic Programmable Arbiter with Default Master Grant," presented at IEEE International Symposium on Circuits and Systems (ISCAS 2000), Geneva Switzerland, 2000.
- [106] F. Pétrot, D. Hommais, and A. Greiner, "Cycle Precise Core Based Hardware/Software System Simulation with Predictable Event Propagation," presented at 23rd Euromicro Conference, Budapest Hungary, 1997, pp. 182-187.
- [107] F. Pétrot, D. Hommais, and A. Greiner, "A Simulation Environment for Core Based Embedded Systems," presented at Proceeding of the 30th Annual Simulation Symposium, Atlanta Georgia, 1997, pp. 86-91.
- [108] F. Rahim, R. K. Bawa, and A. Amara, "VHDL based Verification of RISC pipelined Processor INFINITY : A Case Study," presented at IEEE/ACM International Workshop on Logic Synthesis (IWLS'98), Lake Tahoe USA, 1998.

- [109] F. Rahim, E. Encrenaz, M. Minoux, and R. K. Bawa, "Modular Model Checking of VLSI Designs described in VHDL," presented at IEEE International Conference on Computer and their Applications, Honolulu Hawaii, 1998, pp. 365-368.
- [110] F. Ramos, L. Chen, M. Bui, D. Donsez, and P. Faudemay, "Task allocation strategies: a study with a multi-agents system in fully distributed information systems," presented at 10th Brazilian Symposium on Software Engineering, Sao Carlos SP Brazil, 1996.
- [111] E. H. Rejouan and H. Mehrez, "Automatic Generation Of Self Testing ROM," presented at 4th International Workshop, Mixed Design of Integrated Circuits and Systems Education Of Computer Aided Design of Modern Devices and ICs Poznan Poland, 1997.
- [112] P. Remy, P. Royannez, and A. Amara, "A GaAs electrical rule checker," presented at X Simposio Brasileiro de Concepcao de Circuitos Integrados (SBCCI '97), Gramado Brasil, 1997, pp. 1-10.
- [113] P. Royannez and A. Amara, "A CMOS/GaAs DCFL comparative survey based upon custom designed multiplier generators," presented at First Electronic Circuits and Systeme Conference (ECS'97), Bratislava Slovakia, 1997.
- [114] P. Royannez and A. Amara, "DCFL circuit buffering," presented at 7th International Symposium on IC Technology, System & Applications (ISIC'97) Singapore Singapore, 1997.
- [115] R. Ruiloba, P. Joly, S. Marchand-Maillet, and G. Quénot, "Towards a Standard Protocol for the Evaluation of Video-to-Shots Segmentation Algorithms," presented at International Workshop in Content-Based Multimedia Indexing (CBMI), Toulouse France, 1999.
- [116] R. Ruiloba, P. Joly, C. Thienot, and C. Seyrat, "An Analytic Description Scheme for Editing Work," presented at ISO/IEC JTC1/SC29/WG11/M5346, Maui, 1999.
- [117] R. Ruiloba, P. Joly, C. Thienot, and C. Seyrat, "A Description Scheme for Video Editing Work," presented at ISO/IEC JTC1/SC29/WG11/M5714, Holland, 2000.
- [118] C. Seyrat, G. Durand, and P. Faudemay, "Méthode d'indexation multimédia fondée sur les Objets Visuels," presented at 4èmes Journées d'Echanges Compression et Représentation des Signaux Audiovisuels (CORESA'98), Lannion France, 1998.
- [119] C. Seyrat and C. Thiénot, "Co-rédacteurs du Working Draft de la norme MPEG-7 à propos du DDL, Information technology - Multimedia Content Description Interface - Part 2 : Description Definition Language," presented at MPEG Document N3201, 1999.
- [120] C. Seyrat, C. Thiénot, and P. Faudemay, "A DDL version for the AVIR project," presented at MPEG Document M5079, 1999.
- [121] C. Thiénot, C. Seyrat, P. Faudemay, and P. Joly, "Status of the MPEG-7 parser," presented at MPEG Document M5424, 1999.
- [122] C. Thiénot, C. Seyrat, P. Faudemay, and P. Joly, "Status of the MPEG-7 parser," presented at MPEG Document M5767, 2000.
- [123] C. Thiénot, C. Seyrat, and P. Joly, "A vector datatype for the DDL," presented at MPEG Document M5889, 2000.
- [124] X. Tu, L. Chen, M. Ardebilian, and P. Faudemay, "Video Segmentation Using 3-D hints contained in 2-D Images," presented at Int'l Conf. on Multimedia Storage and Archiving Systems SPIE Symp., Boston MAS USA, 1996.
- [125] A. Turier, L. Ben Ammar, and A. Amara, "An Accurate Power and Timing Modeling Technique Applied to A Low-Power ROM Compiler," presented at Power and Timing Modeling for Performance of Integrated circuits (PATMOS'98), Lyngby Denmark, 1998, pp. 181-190.
- [126] A. Turier, L. Ben Ammar, and A. Amara, "Architecture of low-power embedded ROMs," presented at 8th International Symposium on Integrated Circuits Devices & Systems (ISIC'99), Singapore Singapore, 1999, pp. 467-470.
- [127] A. Turier, L. Ben Ammar, and A. Amara, "Générateur de ROMs basse consommation," presented at 2ème Journées Francophones d'études Faible Tension Faible Consommation (FTFC'99), Paris France, 1999, pp. 82-87.
- [128] L. Vuillemin, "Vérification logico-temporelle de circuit VLSI à l'aide d'un réseau de FPGA," presented at 1ère Journée Nationale Réseau Doctoral Microélectronique, Toulouse France, 1998.
- [129] L. Vuillemin and P. Bazargan Sabet, "Simulation logico temporelle de circuits VLSI à l'aide d'un réseau de FPGA," presented at Colloque CAO de Circuits Intégrés et Systèmes GDR 732, France, 1999.
- [130] L. Vuillemin and P. Bazargan Sabet, "Timed simulation of VLSI circuits using a FPGA net," presented at Applied Informatics (IASTED AI 2000), Innsbruck Austria, 2000.
- [131] F. Wajsbürt, J.-L. Desbarbieux, C. Spasevski, S. Penain, and A. Greiner, "An Integrated PCI Component for IEEE 1355," presented at European Multimedia Microprocessor Systems and Electronic Commerce Conference and Exhibition (EMMSEC'97), Florence Italy, 1997.
- [132] F. Wajsbürt, K. Dioury, and F. Pétrot, "Low Power, Process Independent, Full Transistor Controlled Slew Rate, PCI Compliant I/O pads," presented at 21st International Conference on Microelectronics, Nis Yougosliavia, 1997, pp. 811-814.
- [133] L. Winckel and P. Faudemay, "An Abstract Model for a Low Cost SIMD Architecture," presented at Int'l Conf. ASAP, Chicago USA, 1996.
- [134] B. Zerrouk and A. Bouaroua, "MILE : An Open Environment for Interconnection Networks Performance Evaluation," presented at ISCA Parallel and Distributed Computer Systems (PDCS'96), Dijon France, 1996.
- [135] B. Zerrouk, A. Bouaroua, and F. Ilponse, "MILE : Experimental Study Of A Generic Router Under MILE," presented at IASTED Applied Informatic (IASTED AI'97), Innsbruck Austria, 1997.

- [136] B. Zerrouk, V. Reibaldi, F. Potter, A. Greiner, and A. Derieux, "RCube : A gigabit serial links low latency adaptive router," presented at Records of the IEEE Hot Interconnects IV, Palo Alto CA USA, 1996.
- [137] B. Zerrouk, V. Reibaldi, F. Potter, A. Greiner, A. Derieux, R. Marbot, and R. Nezammzadeh, "RCube : A Message Routing Device Using The OMI/HIC High Speed Link Technology," presented at Third IEEE International Conference on Electronics Circuits and Systems (ICECS'96), Rodos Greece, 1996.

Autres publications

- (1) Y. Bajot : "Panorama des processeurs de traitement du signal", LIP6, Paris 1998.
- (2) D. Archambaud, F. Dromard, A. Greiner, P. Faudemay, S. I. Saraiva, L. Winkel : "Une carte massivement parallèle SIMD programmable", LIP6, Paris 1996.
- (3) A. Derieux, B. e. A. Zerrouk : "Projet ILIAD : Impact des liaisons séries haut débit sur l'architecture des machines parallèles", LIP6, Paris 1996.
- (4) M.-M. Paget, M.-M. Rosset-Louërat, A. Derieux : "Apprendre avec Alliance", LIP6, Paris 1996.
- (5) B. Zerrouk, V. Reibaldi, D. Tranoudis, J.-L. Debarbieux : "Compact High Speed CMOS Crossbar For Switching Fabrics", LIP6, Paris 1996.

FORMATION PAR LA RECHERCHE ASIM

Habilitations

- (1) P. Faudemay : “Recherche par le contenu dans des bases de données structurées et multimédia : architectures logicielles et matérielles”, Habilitation à diriger des Recherches, Université Paris 6, 09/03/1998.

Thèses

- (1) N. Abdallah : “Méthode de simulation logico-temporelle de circuits numériques complexes prenant en compte le front des signaux et les collisions dans le cadre de la simulation mixte analogique-numérique”, Thèse de Doctorat, Université Paris 6, 26/02/1998, encadrée par P. Bazargan Sabet.
- (2) M. Aberbour : “Architecture d’un système hétérogène pour la reconnaissance de formes”, Thèse de Doctorat, Université Paris 6, 29/09/1999, encadrée par H. Mehrez.
- (3) A. Bouaraoua : “Mise en Oeuvre, l’Evaluation des Performances et la Vérification de la Validité de Topologies et de Schémas de Routage pour l’Aide à la Conception de Réseaux d’Interconnexion pour Architectures Parallèles”, Thèse de Doctorat, Université Paris 6, 13/05/1998, encadrée par A. Greiner.
- (4) J.-Y. Brunel : “Synthèse d’architecture de circuits intégrés : Etude de l’ordonnancement au niveau transfert de registres pour prendre en compte les contraintes temporelles imposées par les bibliothèques d’opérateurs disponibles”, Thèse de Doctorat, Université Paris 6, 06/12/1996, encadrée par A. Greiner.
- (5) P. Couteaux : “Etude d’un circuit de sérialisation à 3 Gbits/s en technologie BiCMOS”, Thèse de Doctorat, Université Paris 6, 03/07/1997, encadrée par A. Greiner.
- (6) T. Cruanes : “Mécanismes de synchronisation dans un gérant d’objets distribué”, Thèse de Doctorat, Université Paris 6, 11/1996, encadrée par P. Faudemay.
- (7) J.-L. Desbarbieux : “Conception et réalisation d’un contrôleur réseau programmable pour machine parallèle de type "grappe de PC"”, Thèse de Doctorat, Université Paris 6, 28/06/2000, encadrée par A. Greiner.
- (8) K. Dioury : “Analyse temporelle hiérarchique des circuits VLSI à très haute densité d’intégration”, Thèse de Doctorat, Université Paris 6, 18/09/1998, encadrée par M.-M. Rosset-Louërat.
- (9) J. Dunoyer : “Modèles et méthodes probabilistes pour l’évaluation de la consommation des circuits intégrés VLSI”, Thèse de Doctorat, Université Paris 6, 09/07/1999, encadrée par P. Bazargan Sabet.
- (10) O. Florent : “Une méthode de test des circuits intégrés, basée sur un découpage structurel peu recouvrant”, Thèse de Doctorat, Université Paris 6, 30/06/1998, encadrée par A. Greiner.
- (11) A. Goeury : “Conception d’un routeur intégré possédant un tampon central et un mécanisme d’auto-configuration”, Thèse de Doctorat, Université Paris 6, 24/11/1998, encadrée par M. Roland.
- (12) P. Guerrier : “Un Réseau d’interconnexion pour systèmes intégrés”, Thèse de Doctorat, Université Paris 6, 10/05/2000, encadrée par A. Greiner.
- (13) J.-B. Guignet : “Abstraction Fonctionnelle des Composants VLSI”, Thèse de Doctorat, Université Paris 6, 31/03/1998, encadrée par A. Greiner.
- (14) M. Hervieu : “Etude architecturale d’un système de reconnaissance en ligne de caractères manuscrits”, Thèse de Doctorat, Université Paris 6, 03/12/1996, encadrée par A. Greiner.
- (15) A. Houelle : “GenOptim : un environnement d’aide à la conception de générateurs de circuits portables optimisés en performance et en surface”, Thèse de Doctorat, Université Paris 6, 20/06/1997, encadrée par H. Mehrez.
- (16) L. Jacomme : “Analyse sémantique de descriptions VHDL synchrones en vue de la synthèse”, Thèse de Doctorat, Université Paris 6, 29/10/1999, encadrée par A. Greiner.
- (17) A. Lester : “Abstraction Fonctionnelle des Circuits Numériques VLSI avec une méthode formelle basée sur une extraction de réseau de portes”, Thèse de Doctorat, Université Paris 6, 21/12/1999, encadrée par P. Bazargan Sabet.
- (18) W. Maroufi : “Aide à la conception de systèmes testables”, Thèse de Doctorat, Université Paris 6, 02/07/1999, encadrée par M. Marzouki.
- (19) A. Pierre Duplessix : “Etude et réalisation d’une liaison série à 1 GBaud indépendante du codage des données”, Thèse de Doctorat, Université Paris 6, 04/04/1997, encadrée par A. Greiner.
- (20) E. Prado : “Algorithmes de synthèse de circuits programmables basés sur des graphes de décision binaire”, Thèse de Doctorat, Université Paris 6, 05/07/1996, encadrée par A. Greiner.
- (21) C. Quennesson : “Evaluation de circuits VLSI autocontrôlés prenant en compte un modèle de fautes multiples”, Thèse de Doctorat, Université Paris 6, 07/03/1997, encadrée par H. Mehrez.
- (22) V. Reibaldi : “Conception et réalisation d’un routeur paquets à hautes performances”, Thèse de Doctorat, Université Paris 6, 03/07/1997, encadrée par A. Greiner.
- (23) E. H. Rejouan : “Outils d’aide à la synthèse d’architectures vlsi auto-testables - Algorithmes de génération de vecteurs de test déterministes et mixtes”, Thèse de Doctorat, Université Paris 6, 17/07/1998, encadrée par H. Mehrez.
- (24) P. Remy : “Outils de vérification pour circuits VLSI AsGa MESFET par des méthodes d’abstraction fonctionnelle”, Thèse de Doctorat, Université Paris 6, 15/12/1997, encadrée par A. Greiner.

- (25) N. Vaucher : “Méthodologie de conception d’architectures VLSI génériques appliquée au traitement numérique”, Thèse de Doctorat, Université Paris 6, 20/06/1997, encadrée par H. Mehrez.
- (26) H. N. Vuong : “Une nouvelle méthode de simulation par évaluation directe des expressions logiques représentées par des graphes : application à des circuits modélisés par un sous-ensemble du langage VHDL.”, Thèse de Doctorat, Université Paris 6, 09/12/1997, encadrée par P. Bazargan Sabet.
- (27) L. Winckel : “Environnement logiciel d’un coprocesseur SIMD associatif et systolique microprogrammable”, Thèse de Doctorat, Université Paris 6, 28/11/1997, encadrée par P. Faudemay.

ANIMATION DE LA RECHERCHE ASIM

.....

Organisation scientifique de congrès et colloques

Bazargan P.

- Mixed Design of Integrated Circuits and Systems, MIXDES, 1998, Pologne
membre du comité de programme

Greiner A.

- The European Design & Test Conference, ED&TC, 1997, Paris.
Awards Chair
- Mixed Design of Integrated Circuits and Systems, MIXDES, 1998, Pologne
membre du comité de programme

Louërat M.-M.

- The European Design and Test Conference, ED&TC, 1996, Paris.
University Booth Chair
- The European Design & Test Conference, ED&TC, 1997, Paris.
University Booth Chair
- The Design Automation and Test in Europe , DATE, 1998, Paris.
University Booth Chair
- Mixed Design of Integrated Circuits and Systems, MIXDES, 1998, Polognemembre du
comité de programme

PROJETS ET CONTRATS

Contrats industriels

Consommation VLSI

Responsable scientifique : Bazargan Sabet Pirouz, durée : 1/01/1996 - 31/12/1998, financement 630 kF.

- L'objectif du projet est de définir une méthode de calcul de la consommation électrique des circuits intégrés et de développer un outil logiciel mettant en oeuvre cette méthode.

Partenaire(s) : CNET/Centre de Grenoble.

Projet CONVOLVEUR

Responsable scientifique : Mehrez Habib, durée : 1/11/1996 - 30/09/1997, financement 110 kF.

- L'objectif du projet est la fabrication d'une carte prototype pour l'implantation d'un circuit de convolution.

Partenaire(s) : CEA.

MIAT

Responsable scientifique : Faudemay Pascal, durée : 1/01/1997 - 30/11/1998, financement 1125 kF.

- L'objectif de ce projet est la réalisation de serveurs d'indexation de vidéo.

Partenaire(s) : POSTE/TELECOM.

Projet circuit basse consommation

Responsable scientifique : Greiner Alain, durée : 1/09/1997 - 30/06/2000, financement 100 kF.

- L'objectif est d'étudier différentes techniques de circuiterie permettant un fonctionnement à basse tension d'alimentation et à faible consommation pour des structures régulières du type ROM ou RAM.

Partenaire(s) : ATMEL.

Projet SALLIANCE (suite)

Responsable scientifique : Mehrez Habib, durée : 1/11/1997 - 30/09/1998, financement 210 kF.

- L'étude consiste à la réalisation d'un processeur parallèle de compression des données et d'extraction de signatures pouvant être traitées par un classifieur neuronal.

Partenaire(s) : CEA.

Systèmes de "contrôle commande" ferroviaire

Responsable scientifique : Mehrez Habib, durée : 1/01/1998 - 30/06/1999, financement 40 kF.

- L'objectif du projet est l'étude d'une architecture assurant une haute sécurité de fonctionnement.

Partenaire(s) : SNCF.

Consommation VLSI

Responsable scientifique : Bazargan Sabet Pirouz, durée : 1/05/1998 - 31/05/2001, financement 300 kF.

- Dans ce projet, le LIP6 se propose d'étudier le problème de bruit induit à cause de la présence des capacités de couplage entre les signaux dans les circuits VLSI contruits avec des technologies fortement submicroniques.

Partenaire(s) : St Microelectronics.

Circuits VLSI

Responsable scientifique : Bazargan Sabet Pirouz, durée : 1/05/1998 - 31/05/2001, financement 300 kF.

- Etude du problème du bruit induit à cause de la présence des capacités de couplage entre les signaux dans les circuits VLSI contruits avec des technologies fortement submicroniques.

Partenaire(s) : STMicroelectronics.

Projet SALLIANCE

Responsable scientifique : Mehrez Habib, durée : 1/11/1998 - 30/09/1999, financement 210 kF.

- L'objectif du projet consiste à la réalisation d'un processeur parallèle de compression de données et d'extraction de signatures pouvant être traitées par un classifieur neuronal.

Partenaire(s) : CEA.

Architecture de commutateur ATM

Responsable scientifique : Greiner Alain, durée : 1/06/1999 - 30/06/2002, financement 150 kF.

- L'objectif du projet est l'étude d'une architecture de commutateur ATM extensible utilisant la technologie HSL.

Partenaire(s) : CS TELECOM.

Architectures pour un réseau de neurones

Responsable scientifique : Mehrez Habib, durée : 1/11/1999 - 31/10/2000, financement 200 kF.

- Une étude d'architectures génératrice de micro fonctions et placement / routage d'un réseau de neurones.

Partenaire(s) : CEA-DAM.

CEA-DAM (n°9M4248 EG H4)

Responsable scientifique : Mehrez Habib, durée : 1/12/1999 - 31/08/2000, financement 110 kF.

- Etude de portage d'une base de données d'un circuit de calcul neuronal sur une technologie ciblée Fabrication d'échantillons.

Partenaire(s) : CEA.

Création d'un laboratoire commun "ST"

Responsable scientifique : Greiner Alain, durée : 1/01/2000 - 31/12/2004, financement 10000 kF.

- Création d'un laboratoire commun ST/UPMC/CNRS dans le domaine de la conception des circuits et systèmes intégrés.

Partenaire(s) : STMicroelectronics SA.

Contrats internationaux

ESPRIT : projet ARCHES

Responsable scientifique : Greiner Alain, durée : 1/12/1996 - 30/09/1999, financement 4650 kF.

- L'objectif est la définition et la réalisation d'un composant VLSI réalisant simultanément la fonction de routage et la fonction d'interface sur le bus PCI pour machines multi-processeurs, tout en supportant différents protocoles de communication.

Partenaire(s) : PARSYTEC (Allemagne), STMicroelectronics (United Kingdom), BULL SA, CERN (Suisse), SINTEF (Norvege), Dolphin Interconnect Solutions ((Norvege).

ESPRIT : projet EUROPRO

Responsable scientifique : Greiner Alain, durée : 1/10/1996 - 31/12/1998, financement 2375,130 kF.

- L'objectif du projet est la définition et la réalisation d'un composant VLSI d'interface entre le bus PCI et le routeur RCUBE réalisant un protocole de communication à écriture directe en mémoire distante.

Partenaire(s) : THOMSON SINTRA ASM (France), BULL (France), CETIA, DICESVA (Espagne), FRAUNHOFER (Allemagne), GEC MARCONI (United Kingdom), INTECS SISTEMI (Italie), PRAKLASEISMOS (Allemagne), SIMULOG, THOMSON CSF (France), LGAI (Espagne), ICR (Espagne).

MEDEA 403/97

Responsable scientifique : Greiner Alain, durée : 1/01/1997 - 31/12/1997, financement 1230,155 kF.

- L'objectif du projet est la définition de méthodes de conception de systèmes intégrés et le développement des outils logiciels correspondants.

Partenaire(s) : BULL (France), STMicroelectronics (France), METASYMBOSE (France), ALCATEL (Belgique), COWARE (Belgique), EONIC (Belgique), FRONTIER DESIGN (Belgique), IMEC (Belgique), PHILIPS (Pays-Bas), TIMA (France).

MEDEA 406/97

Responsable scientifique : Greiner Alain, durée : 1/01/1997 - 31/12/1997, financement 879 kF.

- L'objectif du projet est la définition et l'évaluation de méthodes et d'outils de CAO pour la conception et la vérification des circuits intégrés pour des techniques submicroniques.

Partenaire(s) : BULL (France), THOMSON TCS (France), ANACAD (France), ALCATEL Mietec (Belgique), TEMENTO (France), LIRMM (France), MATRA MHS (France), PHILIPS (Pays-Bas).

ESPRIT : projet COSY

Responsable scientifique : Greiner Alain, durée : 1/10/1997 - 31/03/2000, financement 5750 kF.

- L'objectif est de définir une méthodologie de conception pour la simulation, la synthèse et l'évaluation de performance des systèmes intégrés mixtes matériel/logiciel utilisant des processeurs RISC ou des processeurs de traitement du signal.

Partenaire(s) : PHILIPS (Pays-Bas), SIEMENS (Allemagne), Cadence European Laboratory (Italie), Politecnico di Torino (Italie).

MEDEA 403/98

Responsable scientifique : Greiner Alain, durée : 1/01/1998 - 31/12/1998, financement 969,682 kF.

- L'objectif du projet est la définition de méthodes de conception de systèmes intégrés et le développement des outils logiciels correspondants.

Partenaire(s) : BULL (France), STMicroelectronics (France), METASYMBOSE (France), ALCATEL (Belgique), COWARE (Belgique), EONIC (Belgique), FRONTIER DESIGN (Belgique), IMEC (Belgique), PHILIPS (Pays-Bas), TIMA (France).

MEDEA 406/98

Responsable scientifique : Greiner Alain, durée : 1/01/1998 - 31/12/1998, financement 908,723 kF.

- L'objectif du projet est la définition et l'évaluation de méthodes et d'outils de CAO pour la conception et la vérification des circuits intégrés pour des techniques submicroniques.

Partenaire(s) : BULL (France), THOMSON TCS (France), ANACAD (France), ALCATEL Mietec (Belgique), TEMENTO (France), LIRMM (France), MATRA MHS (France), PHILIPS (Pays-Bas).

ESPRIT : Projet AVIR

Responsable scientifique : Faudemay Pascal, durée : 1/09/1998 - 31/08/2000, financement 2306,5 kF.

- L'objectif du projet est l'accès intelligent à la vidéo pour l'utilisateur résidentiel grâce à un système d'indexation chez le producteur et chez l'utilisateur final.

Partenaire(s) : PHILIPS (Pays Bas), Université de Brescia (Italie), TECMATH (Allemagne), RAI (Italie).

ESPRIT : projet SWIFT

Responsable scientifique : Greiner Alain, durée : 1/11/1998 - 30/11/2000, financement 470,649 kF.

- L'objectif du projet est la conception d'un routeur VLSI à 16 ports utilisant des liens série à 275 Gbits/s, visant des applications téléco. La contribution du LIP6 porte sur le multiplieur d'horloge intégré dans la puce.

Partenaire(s) : NETWIZ (Israël), STORAGE AERA NETWORK (United Kingdom), INTERCOM NETWORK (Grèce), TACHIYS, PACT (United Kingdom), CERN (Suisse).

MEDEA 403/99

Responsable scientifique : Greiner Alain, durée : 1/01/1999 - 31/12/1999, financement 1289 kF.

- L'objectif est la définition de méthodes de conception de systèmes intégrés et le développement des outils logiciels correspondants.

Partenaire(s) : BULL (France), STMicroelectronics (France), METASYMBIOSE (FRANCE), ALCATEL (Belgique), COWARE (Belgique), EONIC (Belgique), FRONTIER DESIGN (Belgique), IMEC (Belgique), PHILIPS (Pays-Bas), TIMA/INPG (France), AREXSYS (France).

MEDEA 406/99

Responsable scientifique : Greiner Alain, durée : 1/01/1999 - 31/12/1999, financement 1225 kF.

- L'objectif du projet est la définition et l'évaluation de méthodes et d'outils de CAO pour la conception et la vérification des circuits intégrés pour des techniques submicroniques.

Partenaire(s) : AVERTEC (France), BULL (France), THOMSON TCS (France), ANACAD (France), ALCATEL Microélectronique (Belgique), TEMENTO (Belgique), LIRMM (France), TEMIC (France), PHILIPS (Pays Bas).

MEDEA 403/2000

Responsable scientifique : Greiner Alain, durée : 1/01/2000 - 31/12/2000, financement 1800 kF.

- L'objectif est la définition de méthodes de conception de systèmes intégrés et le développement des outils logiciels correspondants.

Partenaire(s) : BULL (France), STMicroelectronics (France), METASYMBIOSE (FRANCE), ALCATEL (Belgique), COWARE (Belgique), EONIC (Belgique), FRONTIER DESIGN (Belgique), IMEC (Belgique), PHILIPS (Pays-Bas), TIMA/INPG (France), AREXSYS (France).

MEDEA 406/2000

Responsable scientifique : Greiner Alain, durée : 1/01/2000 - 31/12/2000, financement 1876 kF.

- L'objectif du projet est la définition et l'évaluation de méthodes et d'outils de CAO pour la conception et la vérification des circuits intégrés pour des techniques submicroniques.

Partenaire(s) : AVERTEC (France), BULL (France), THOMSON TCS (France), ANACAD (France), ALCATEL Microélectronique (Belgique), TEMENTO (Belgique), LIRMM (France), TEMIC (France), PHILIPS (Pays Bas), BULL (France), STMicroelectronics (France), METASYMBIOSE (FRANCE), ALCATEL (Belgique), COWARE (Belgique), EONIC (Belgique), FRONTIER DESIGN (Belgique), IMEC (Belgique), PHILIPS (Pays-Bas), TIMA/INPG (France), AREXSYS (France).

