XIV. CONCLUSION

GenOptim a été écrit pour réaliser le tronc commun des générateurs reposant sur une librairie de cellules. La prise en charge des problèmes électriques permet au concepteur de se concentrer uniquement sur le câblage logique de l'algorithme. L'évaluation rapide des performances d'un circuit et les routines de base permettant de créer simplement les différentes vues (comportementale, vecteurs de test) facilitent la conception d'un générateur. A mi-chemin entre la synthèse logique et le full-custom, GenOptim permet d'approcher les performances du full-custom tout en gardant un temps de conception raisonnable. Grâce aux différents modes d'optimisation, un générateur couvre une grande variété de compromis temps/surface. Enfin, un circuit étant totalement caractérisé par GenOptim (temps de propagation, capacités d'entrée, résistances de sorties, taille du circuit) il pourra être utilisé par des META-GENERATEURS (générateurs instanciant d'autres générateurs).

Références

[1] "IEEE Standard for Binary Floatting-Point Arithmetic" ANSI/IEEE transaction Std 354-1985

[2] "What Every Computer Scientist Should Know About Floatting-Point Arithmetic" David GOLDBERG ACM Computing Surveys, Vol. 23, No. 1, March 1991

[3] "A Flexible Module Library for Custom DSP Application in a Multiprocessor Environment" Eddy BLOKKEN, HANS DE KEULENAER, Francky CATTHOOR, Hugo J. DE MAN. IEEE 1990

[4] "Regular Module Generation or Standard Cells: Two Alternative Implementations for a Library of Functional Building Blocks" E. Katsadas, Z. Sahraoui, M. Wouters, V. Derudder, I. Bolsens, P. Six, H. De Man. IMEC Laboratory, Kapeldreef 75, B-3001 Leuven, Belgium.

[5] "BADGE - A synthesis tool for customized arithmetic building blocks" Andreas Munzer, Institute fur theoretische Nachrichtentechnik und Informations verarbeitung. University of Hannover. Appelstr. 9A, 3000 Hannover 1, FRG.

[6] "FROM BEHAVIOUR STRUCTURE: HIGH-LEVEL SYNTHESIS" R.CAMPOSANO IEEE Design & Test of Computer 1990.

[7] "MILO : A Microarchitecture and Logic Optimizer" Nels Vander Zanden, Daniel Gajski. ACM/IEEE Design Automation Conference IEEE 1988.

[8] "A High Density Datapath Compiler Mixing Ramdom logic with Optimized Blocks", L. Ben Ammar and A.Greiner, European Conference on Design Automation, february 1993

[9] "ALLIANCE: A Complete Set of CAD Tools for Teaching VLSI Design", A.Greiner and F. Pecheux, 3rd Eurochip Workshop on VLSI Design Training, September 1992

[10] "F-Risc : A 32 bits floating point integrated in a Risc processor for embedded system", A. Compan,V. Delorme, J-A. François, H. Mehrez , F. Pecheux

XIII.3 Décaleur droit

De part sa structure et les cellules de base utilisées, le décaleur droit ne réagit pas de la même manière que le RSA aux différentes optimisations. En effet, nous pouvons constater sur les figures 45 et 46 que le meilleur compromis surface/performance est obtenu en utilisant l'optimisation Multi-Mapping + buffers sur la totalité du circuit. Par contre l'option Multi-Mapping + duplication de portes sur la totalité du décaleur accroît démesurément la taille du circuit généré. Elle est donc tout à fait inadaptée à ce générateur, c'est pourquoi nous ne la représentons pas sur les figures suivantes.

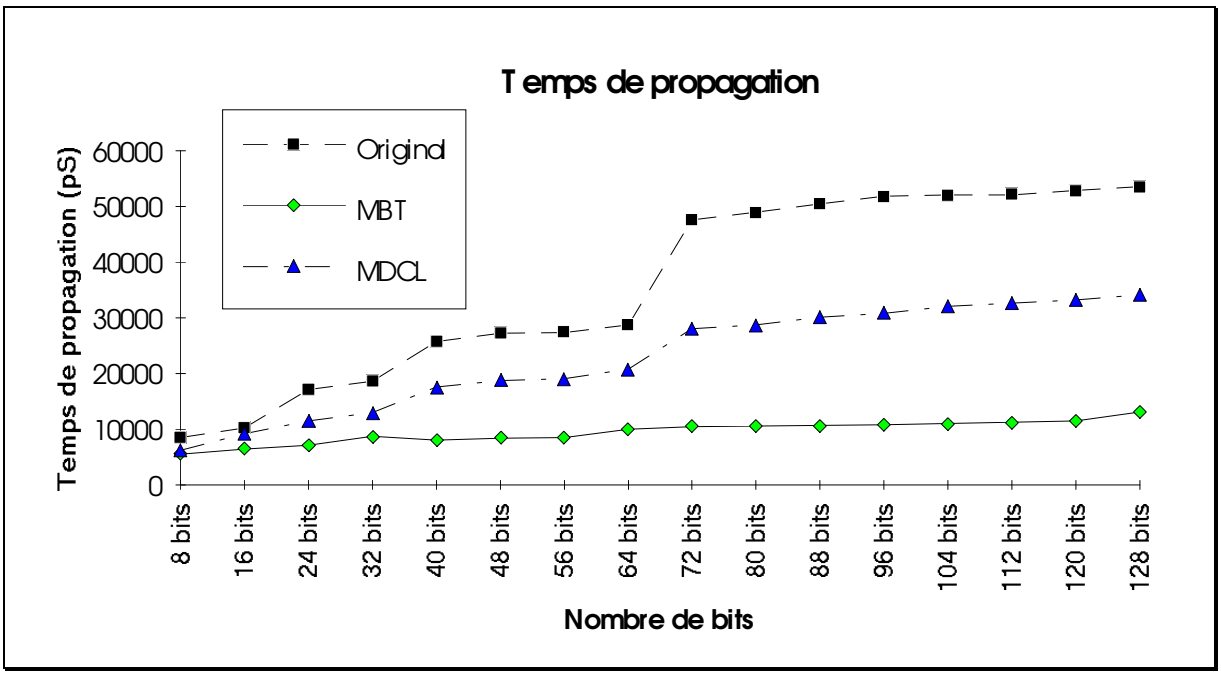
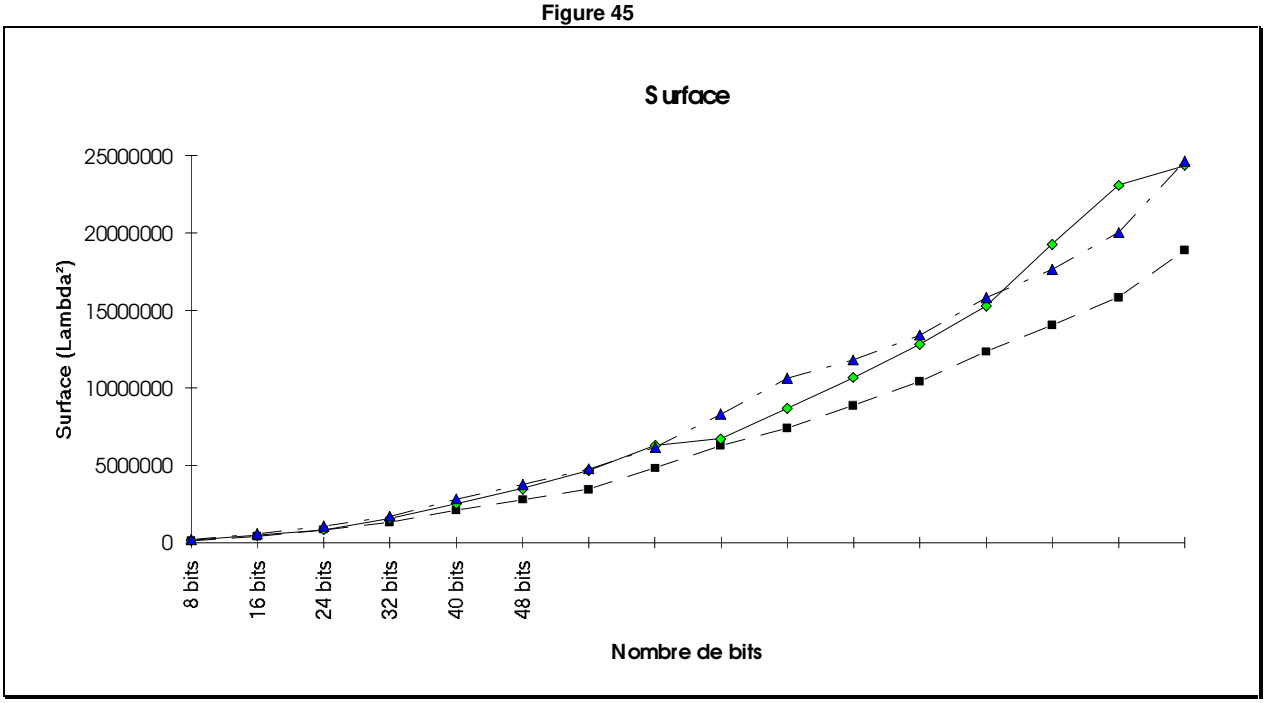


Figure 45



Offending Command = 25Reception
Error = nametype : undefined
this name is not defined in a dictionary
Stack =
--nostringval--
1117